

E系列模块卡开发指南

E732



目录

一、 概述	3
二、 FPGA开发模式	3
三、 SCAN开发模式	4
四、 详细开发介绍	5
1. 使用FPGA模式开发	5
2. 使用SCAN模式开发	20

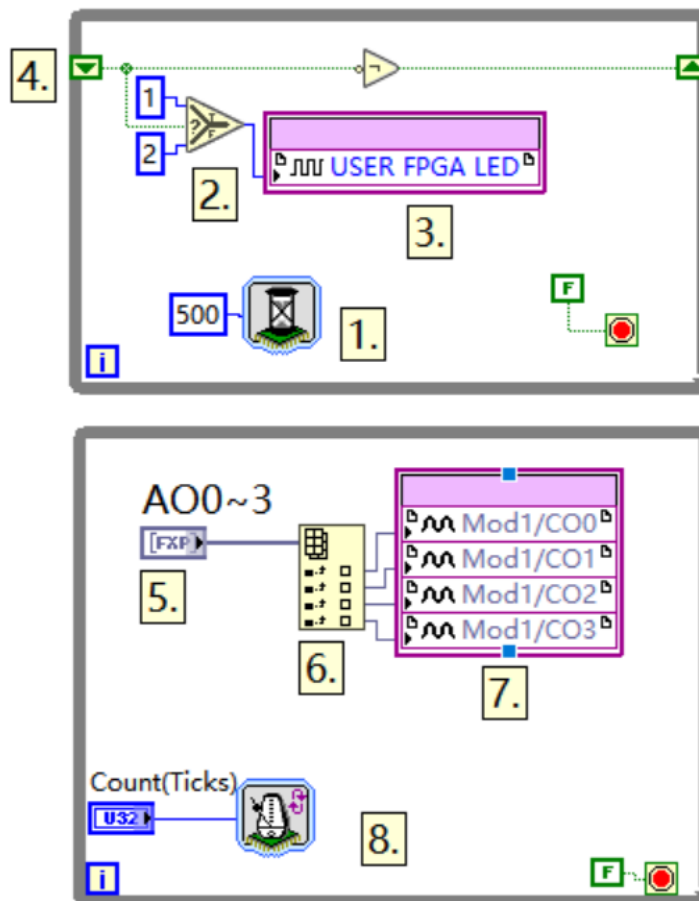
一、概述

本指南介绍了E732这张4通道电流输出卡的上手开发流程。开发环境为装Linux RT 环境的RobustRIO U808。板卡有两种开发使用方式，即分别是FPGA模式和SCAN模式，两种模式的区别在于SCAN模式无需开发FPGA程序，用户通过一个上位机程序即可快速实现板卡的采集功能，只是SCAN模式的数据交互速率较慢。FPGA模式则需要用户先开发FPGA程序，再开发上位机程序实现与板卡的数据交互，且用户可在FPGA使用DMA的方式实现高速的数据交互速率。

下面先展示了两种开发的程序框图，并在指南后续章节做更为详细的介绍。

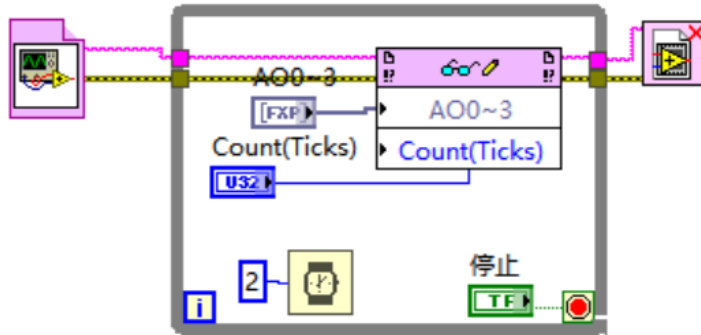
二、FPGA开发模式

FPGA VI程序框图：

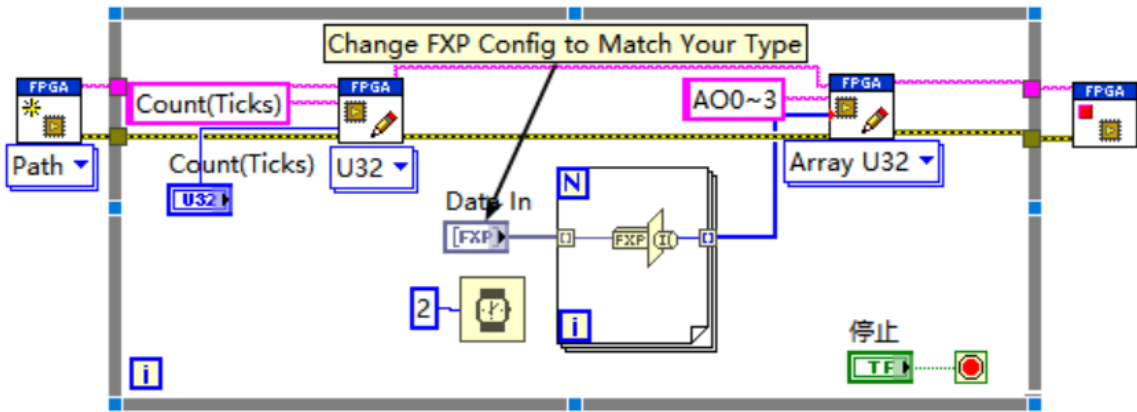


上位机VI程序框图（两种写法）：

A:

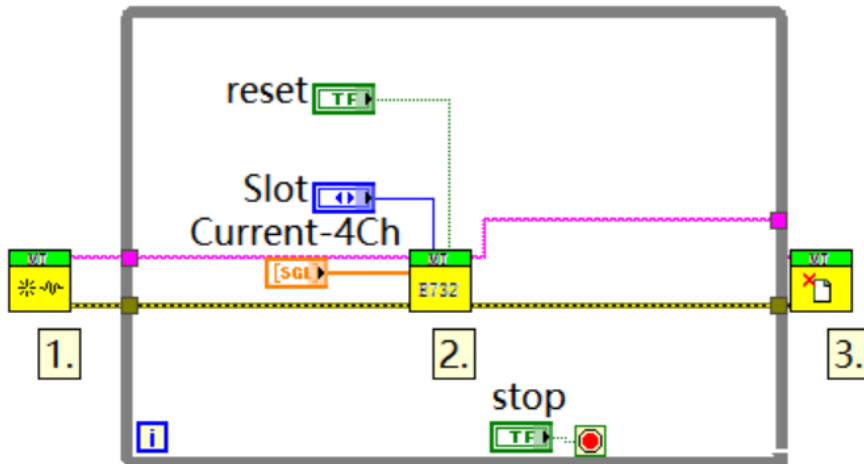


B:



三、SCAN开发模式

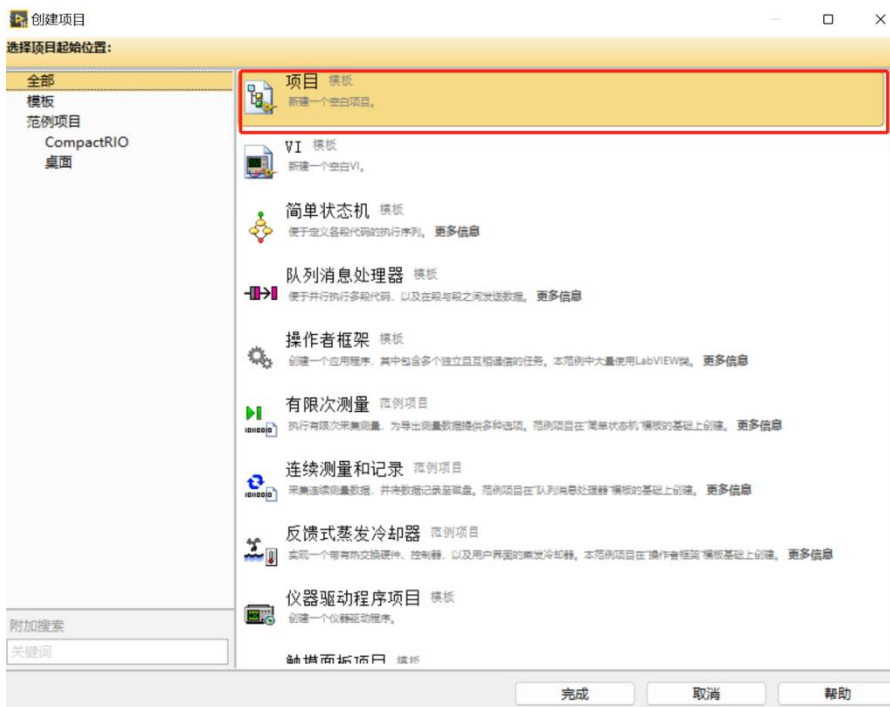
SCAN模式仅有上位机VI，程序框图如下：



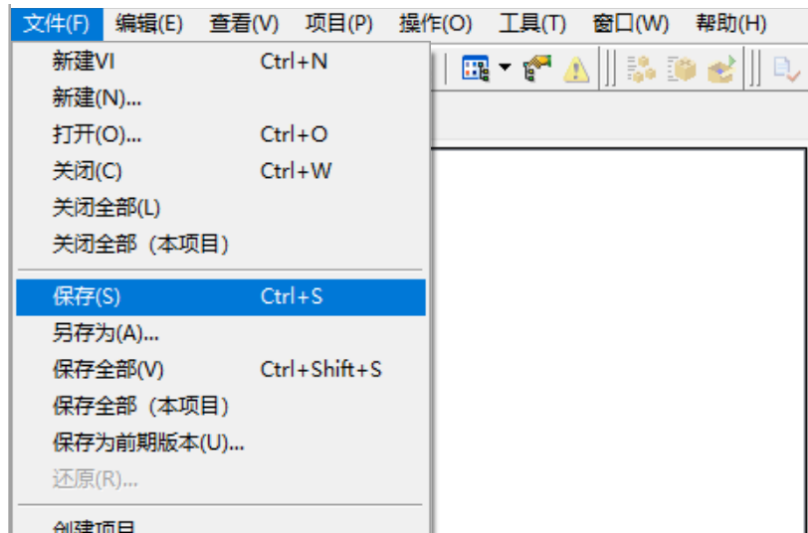
四、详细开发介绍

1. 使用FPGA模式开发

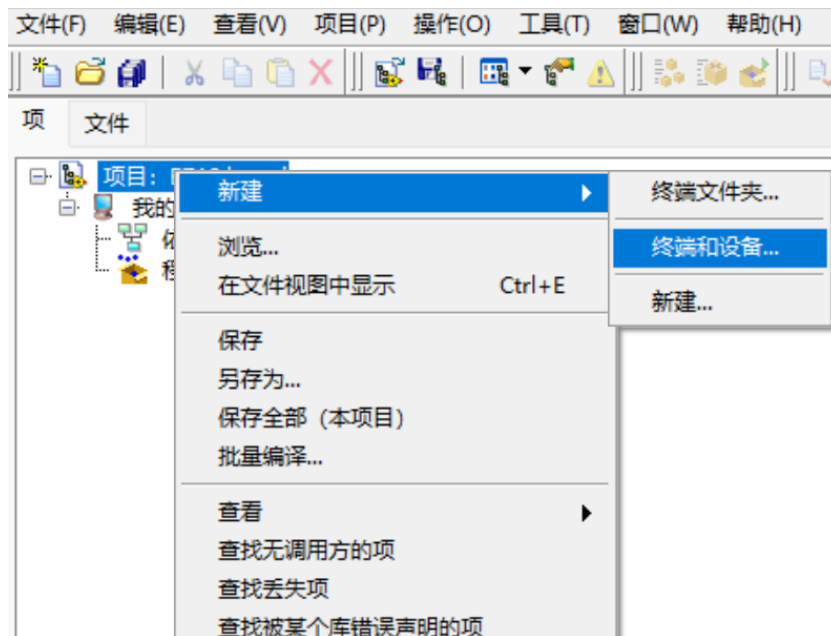
新建LabVIEW工程

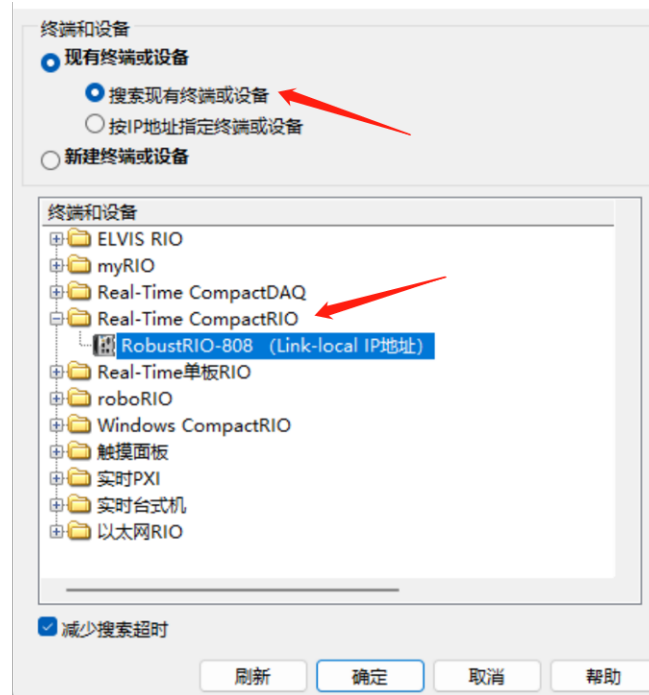


保存工程到相应文件夹下，确定工程名称

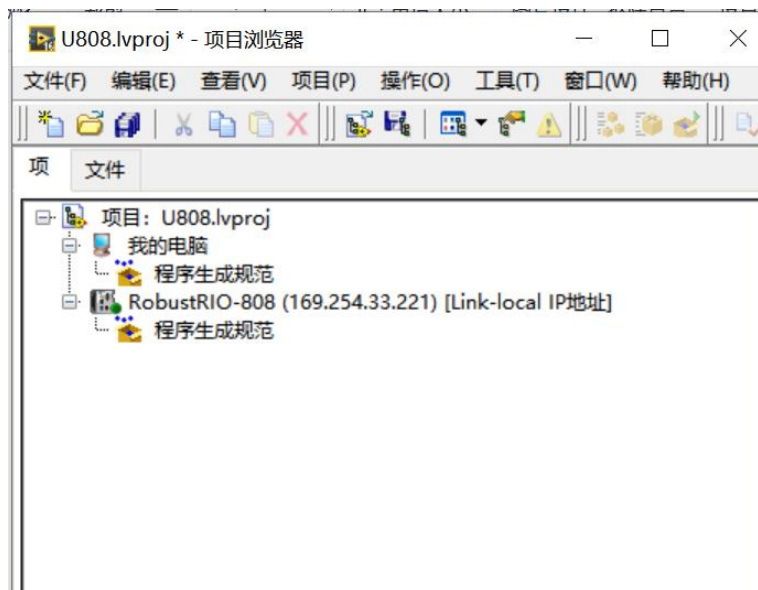


在项目下新建RT主机终端，此处以U808为例：

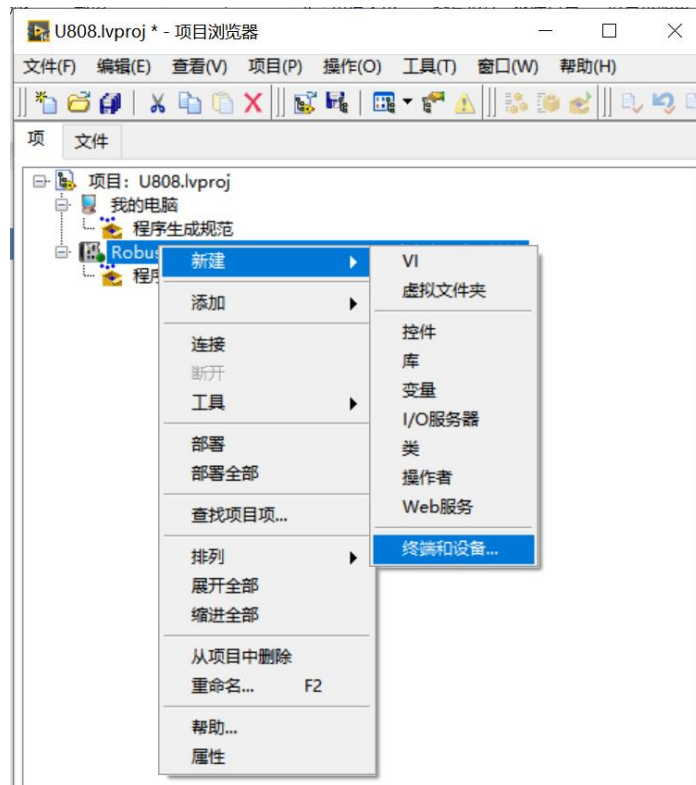




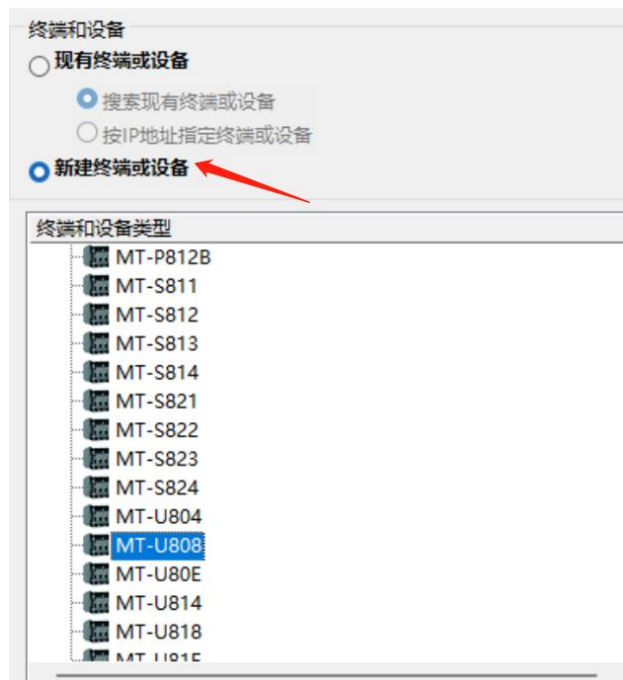
此时RobustRIO通过网线上位机PC直连（IP地址在同一网段），所以可以直接发现设备，点击确定然后在这里可以看到刚刚新建好的RT终端。



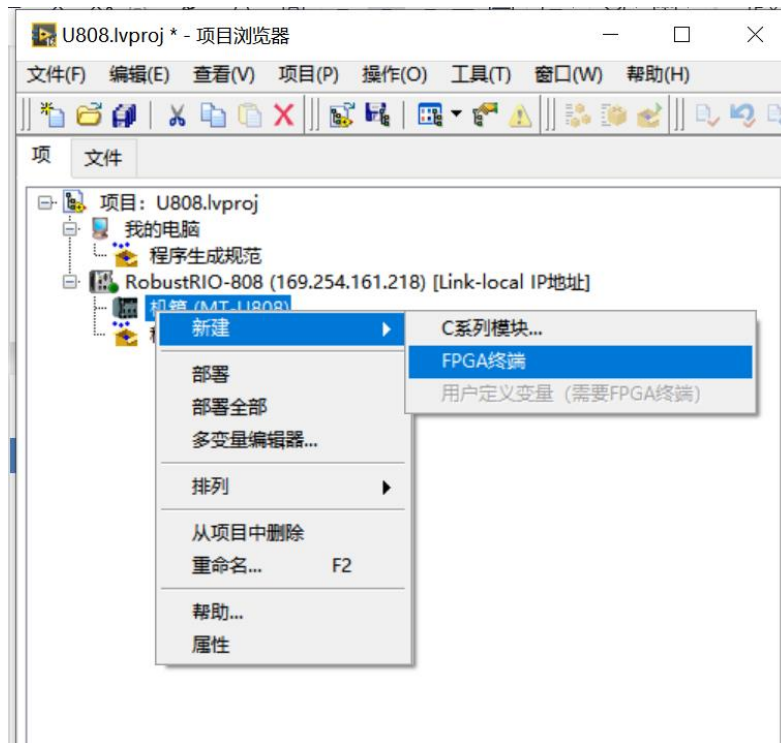
右键RT终端选择连接，连接好之后主机图标上方的指示灯为亮绿色，然后在RT终端下新建MT-U808机箱终端：



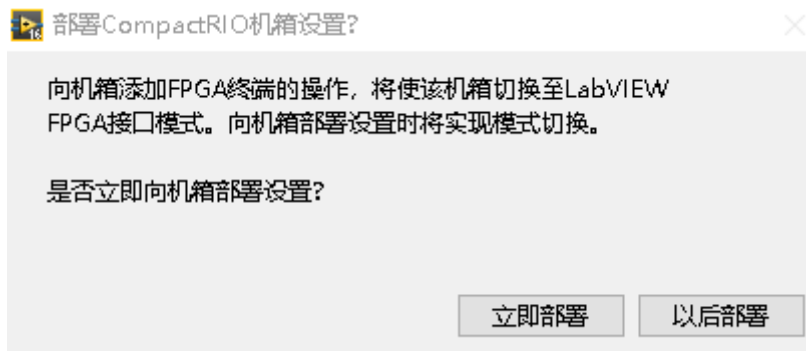
▶ 在RobustRIO-808上添加终端和设备



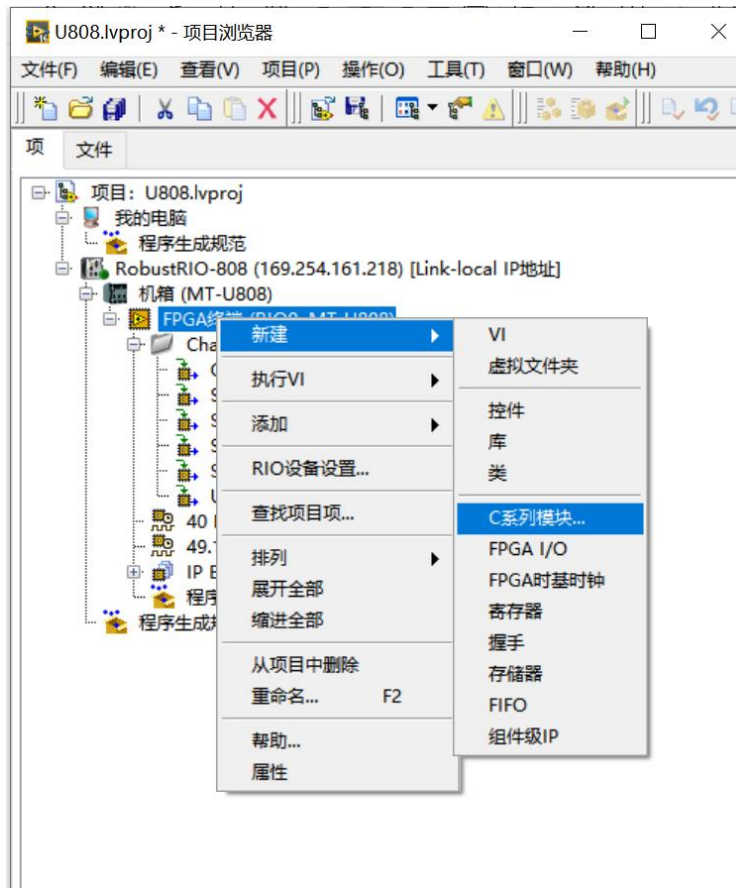
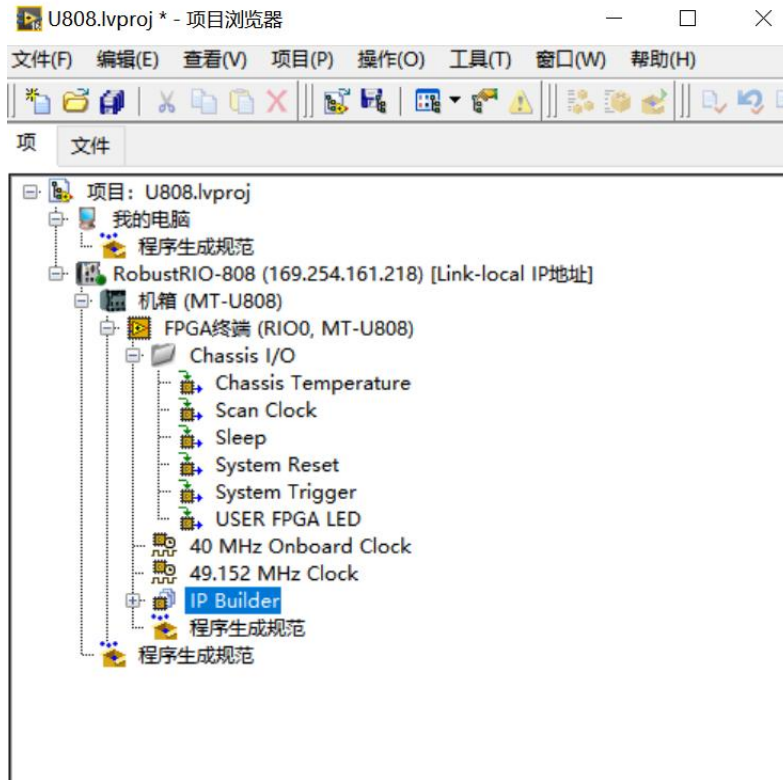
然后右键点击机箱新建FPGA终端:

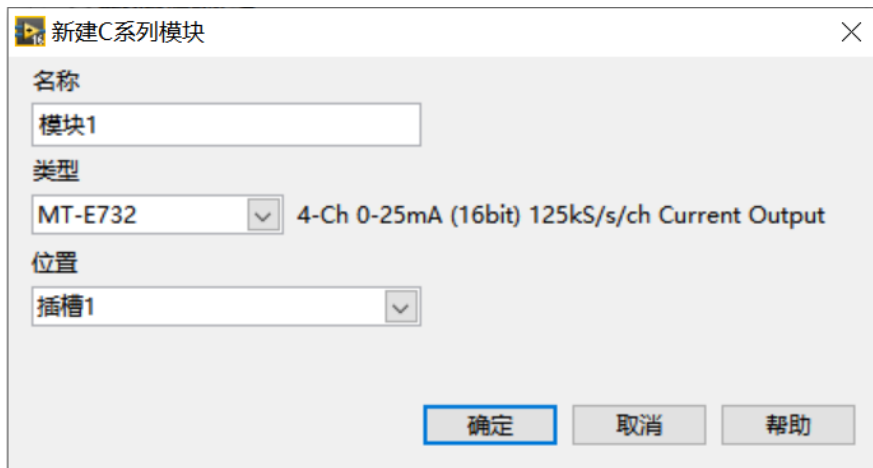
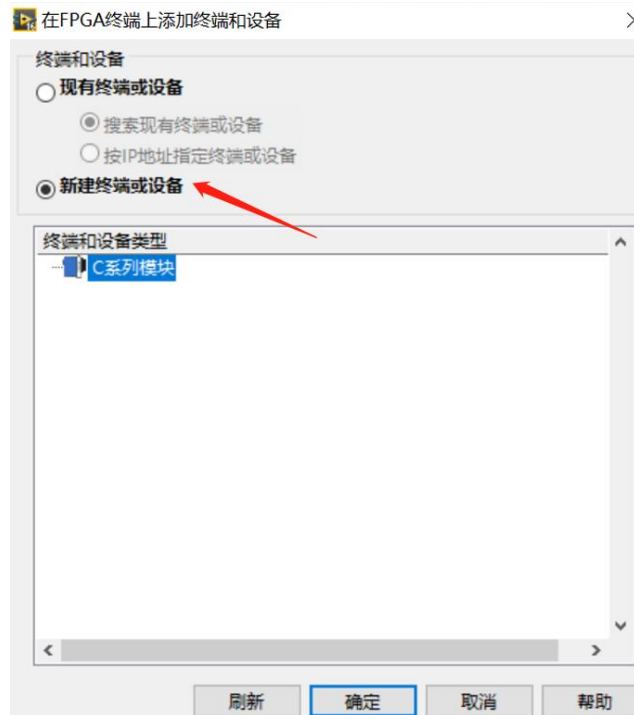


这里会跳出弹框，选择以后部署。

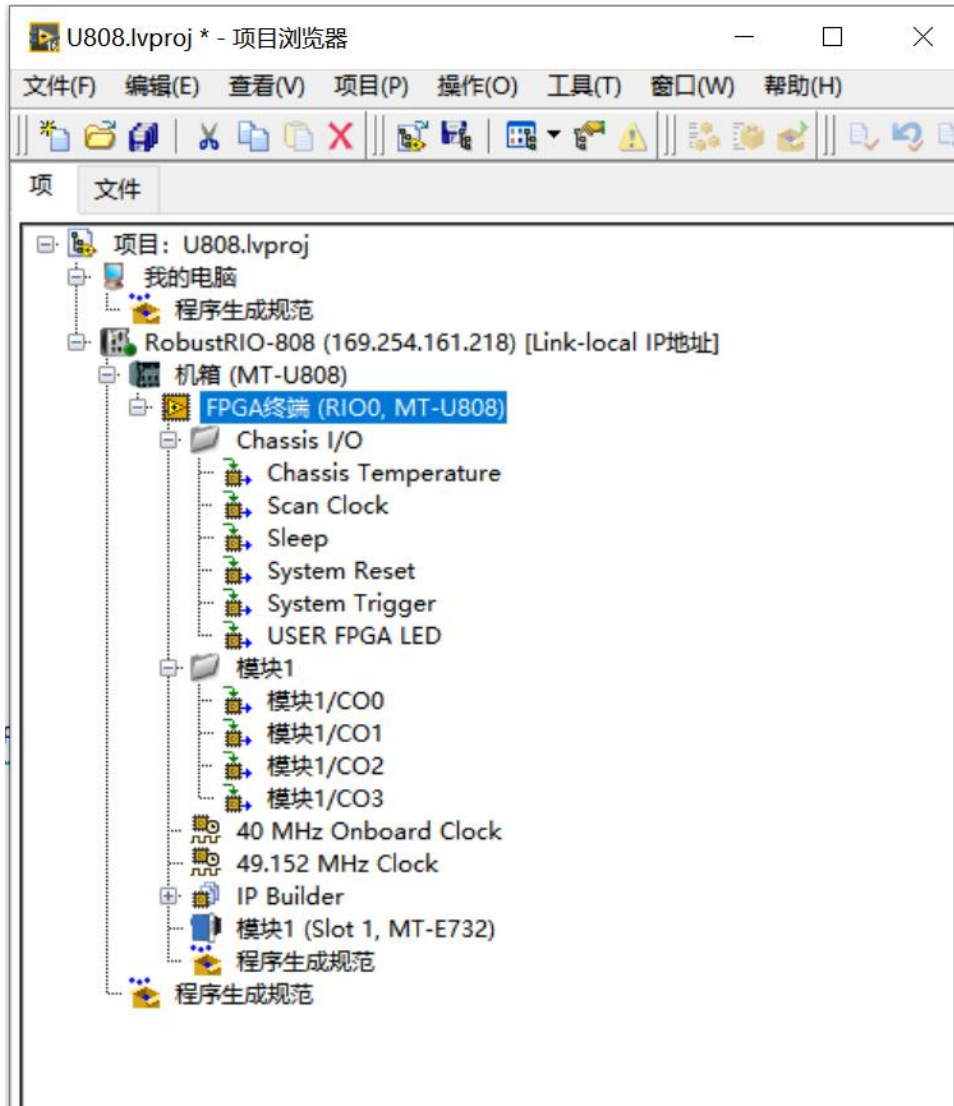


执行好上一步之后在项目浏览器下可以看到刚建好的FPGA终端，然后右键点击FPGA终端新建E732模块卡，选择相应的槽位（与物理上卡所在槽位一致），然后可在终端下发现相应模块

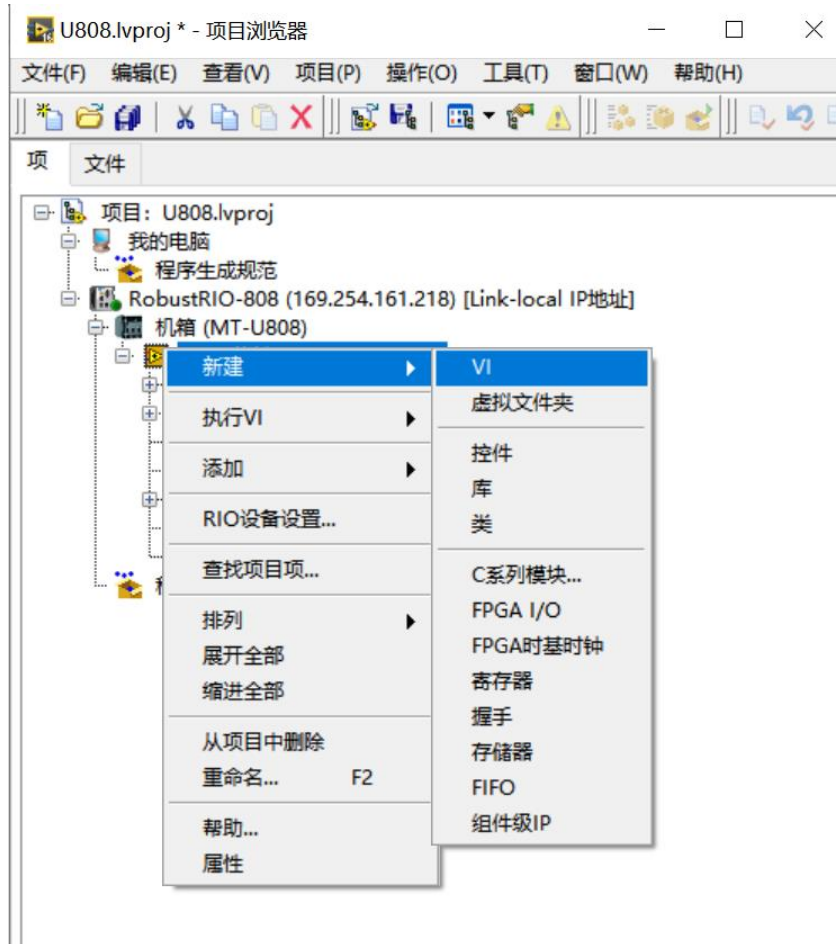




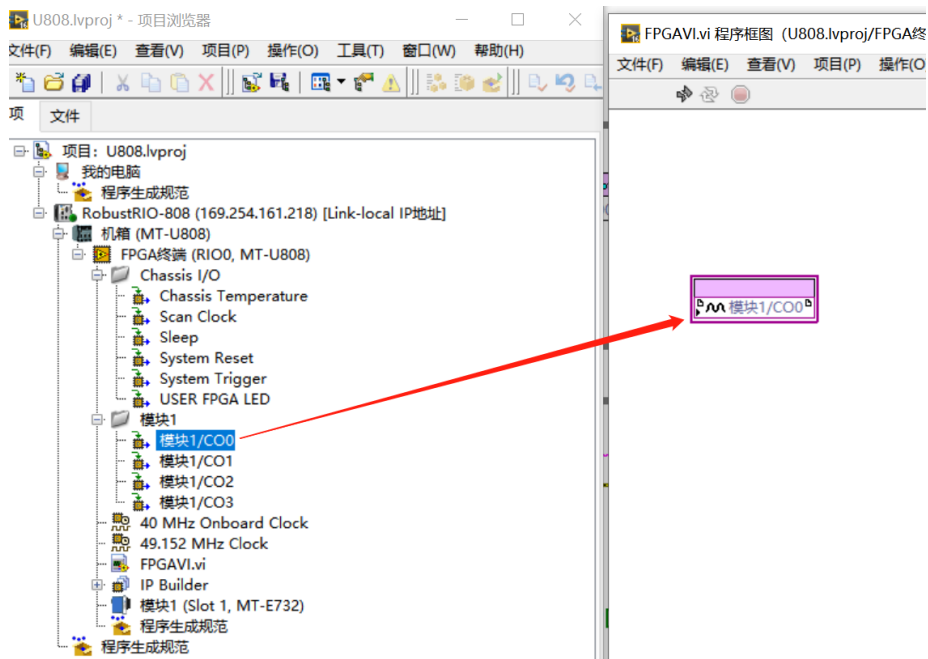
新建好之后在项目浏览器中会出现E732的模块信息，如下图：



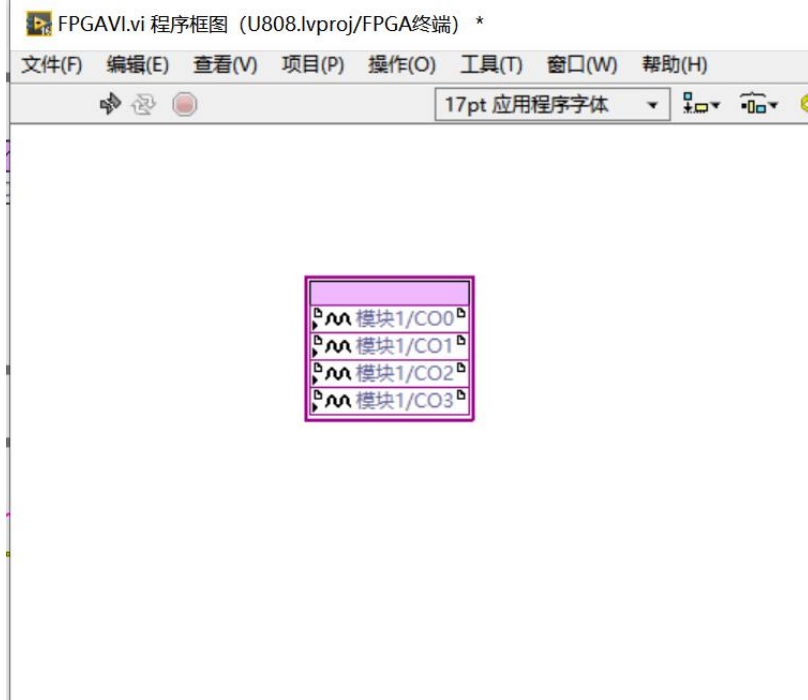
在FPGA终端下新建VI，并保存在项目文件夹下：



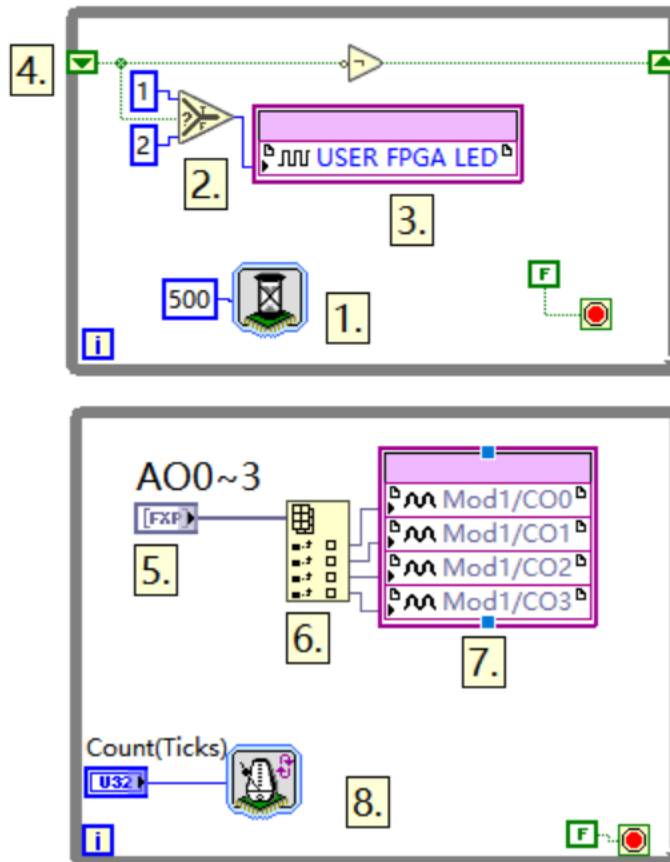
在后面的编程中，我们可以将模块的A0接口拖到FPGA VI程序框图中，用于采集数据，如下图：



然后下拉模块图标下方的蓝色点，得到全部4个A0通道的数据接口，如下图：

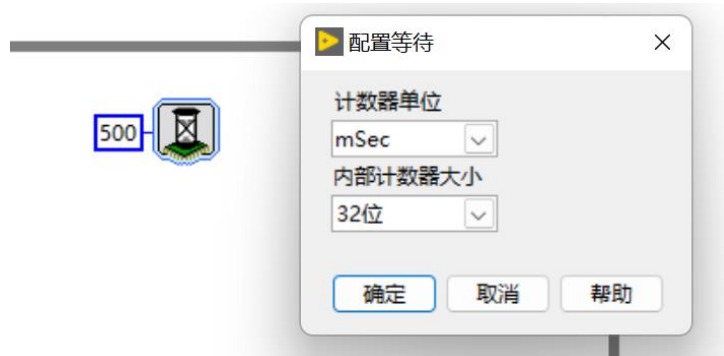


编写FPGA程序，E732 FPGA VI程序框图总览：



程序说明（按程序中所标数字依次说明）：

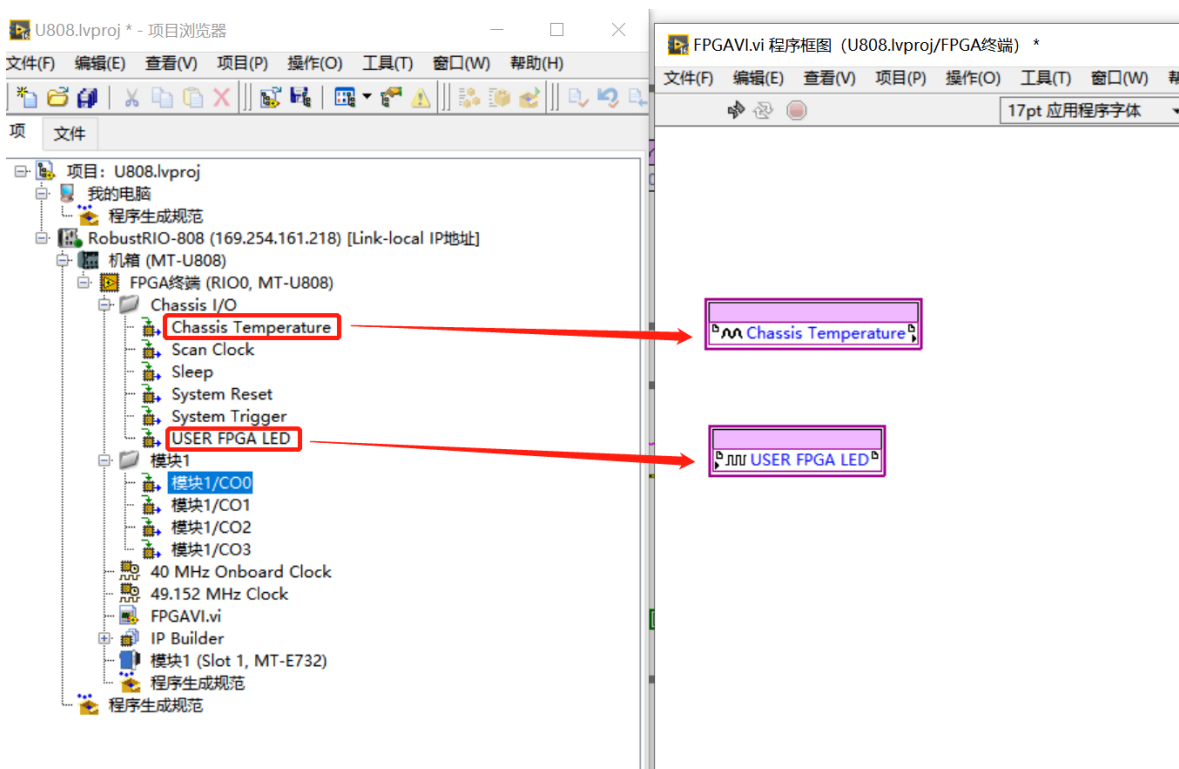
1. 选版下的延时函数，此处用于控制用户灯的闪烁，闪烁间隔500ms, 设置方式如下。



2. 右键‘比较’选板下的‘选择’函数，此处写法用于控制灯闪烁。

3. 用户灯节点

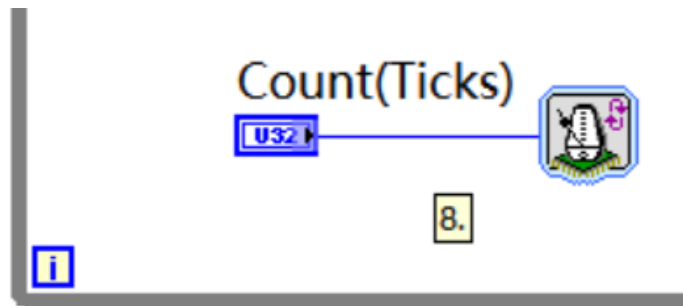
用户灯节点在项目浏览器下方Chassis I/O目录下(如下图)，在这里同样可以看到常用的温度节点，可以直接将其拖入程序框图中使用，温度节点度数是真实度数的4倍关系，通过除以4运算可得到可用的板载温度数据。用户灯可以呈现两种颜色，分别为：1（颜色1），2（颜色2）



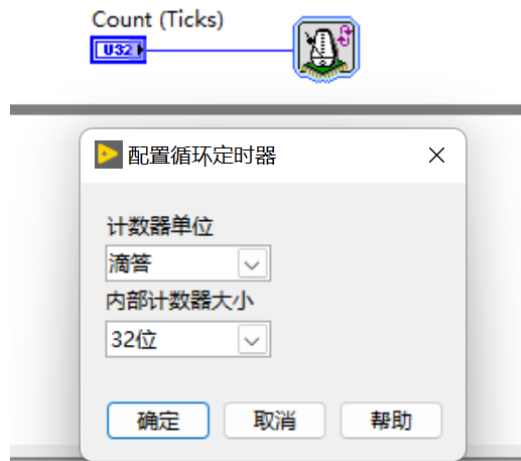
4. 移位寄存器，右键While循环添加
5. 创建输入控件
6. 索引数组
7. 模块卡A0接口

8. 循环定时器，单位选择滴答

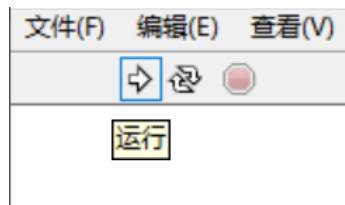
该While循环下侧的Count Ticks是用于控制采样率

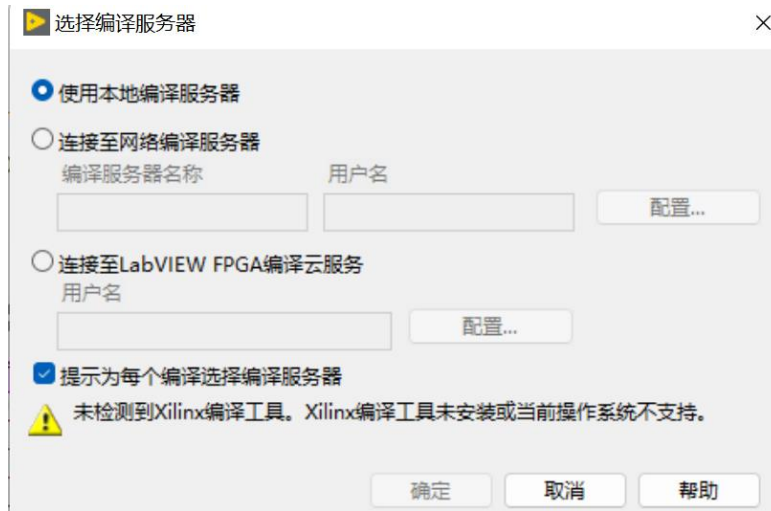
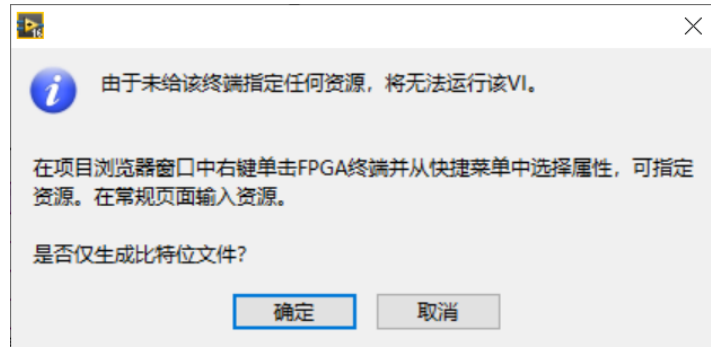


采样率=4000000/Count (Ticks)，E730的最大采样率是125K/S/ch，即当Count设置小于等于320时，以最高采样率采样。循环定时器的属性设置如下图，单位选择滴答（tick）



FPGA VI程序写好之后点击左上角运行按钮，点击确认，选择编译器对FPGA程序进行编译，这里需要安装编译器才能编译（**注意**：目前配套使用的ISE14.7编译器在Win10，Win11系统中经常无法编译，建议在局域网中部署一台win7的电脑，安装好编译器，使用局域网中的编译器进行编译。另外，平均每次编译时长一般在10到40分钟左右，请耐心等待）





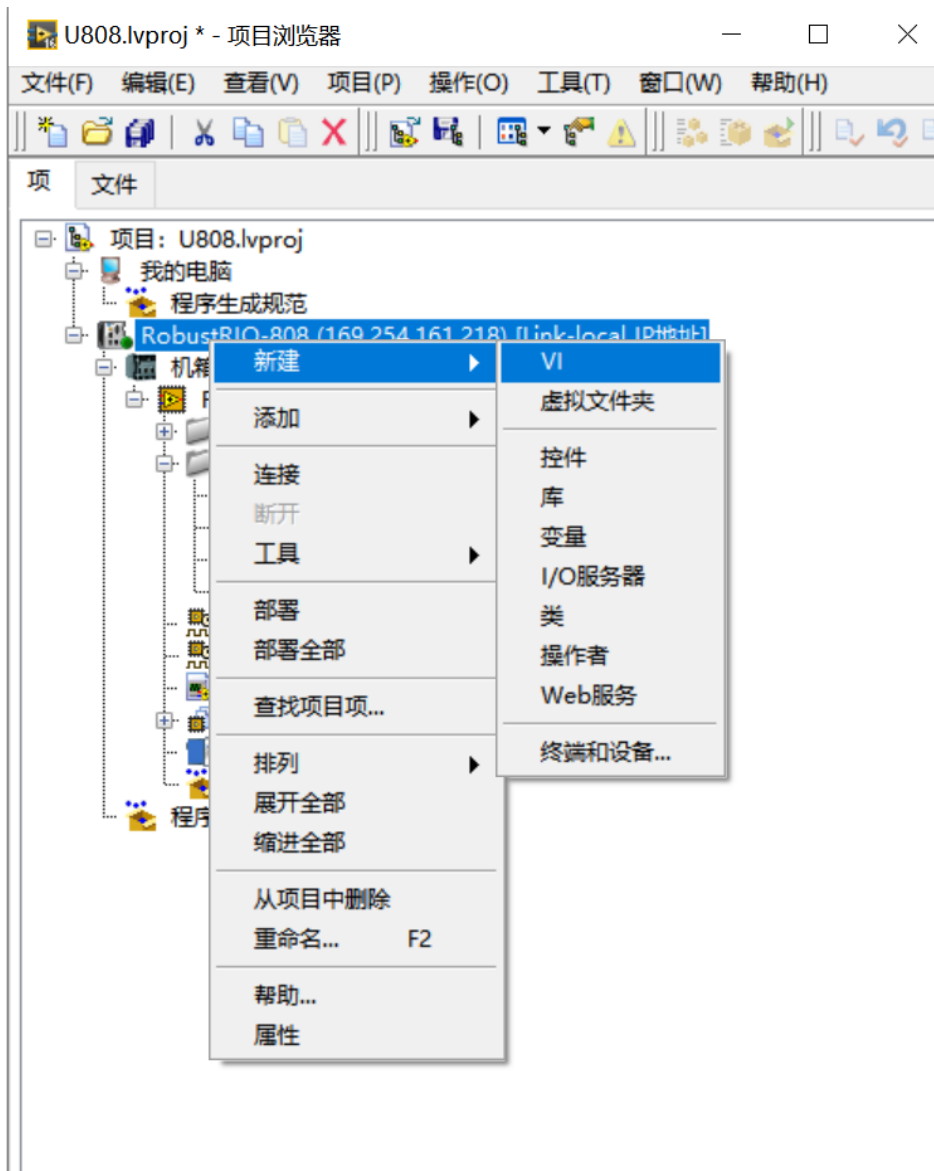
编译好之后，在项目文件夹下会发现刚刚生成好的放置比特文件的文件夹：（编译好之后产生的错误1003弹窗不必在意，由于FPGA程序无法直接运行导致，请忽略）

名称	修改日期	类型	大小
FPGA Bitfiles	2022/6/7 14:30	文件夹	
FPGA VI	2021/12/24 12:04	LabVIEW Instrument	109 KB
U808.aliases	2022/6/8 15:29	ALIASES 文件	1 KB
U808.lvps	2022/5/5 10:53	LVLPS 文件	1 KB
U808	2022/5/5 10:53	LabVIEW Project	212 KB

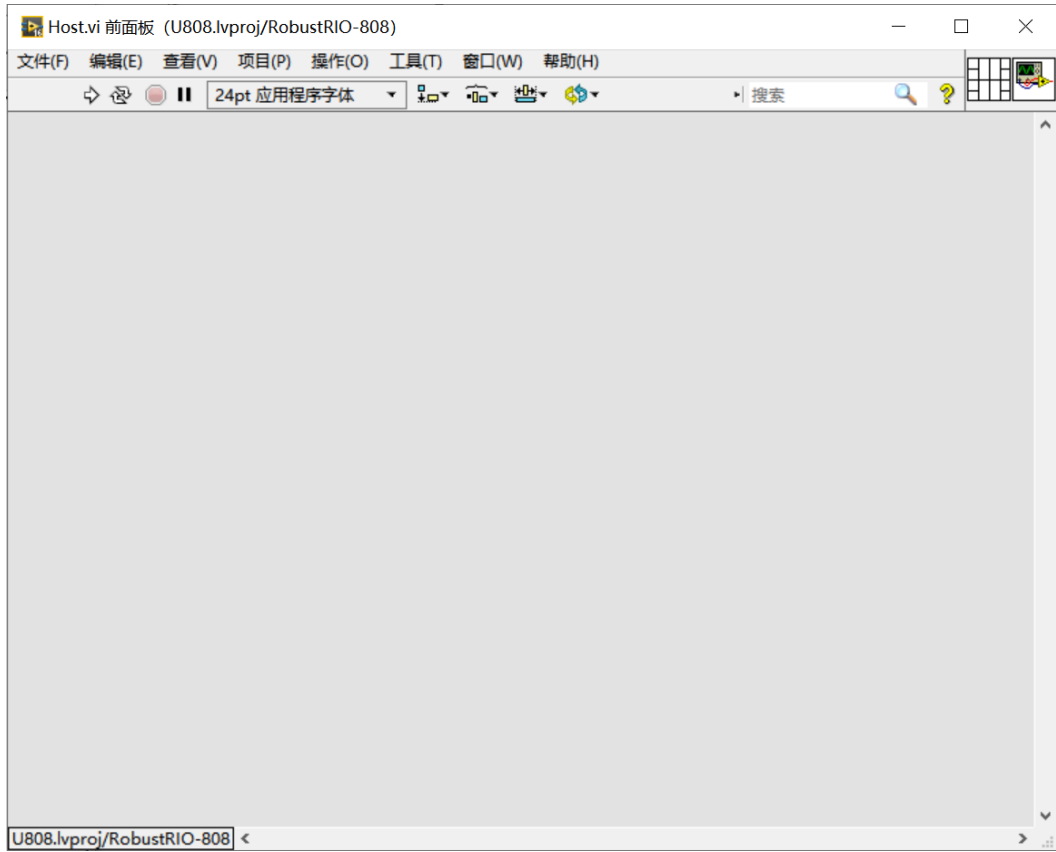
打开文件夹，看到类型为LVBITX的比特文件：

名称	修改日期	类型	大小
U808_FPGA Target_FPGA VI_CEI8abDR7Lo.lv...	2021/12/21 14:10	LVBITX 文件	3,251 KB

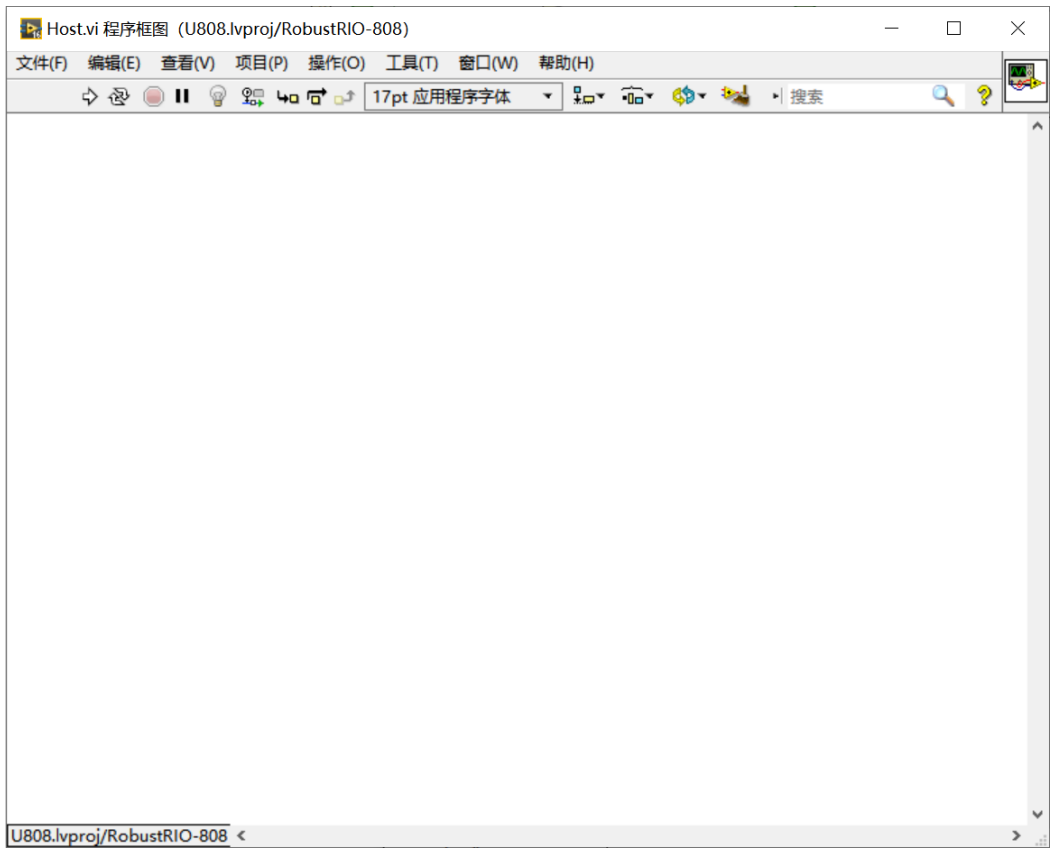
上位机程序开发，在RT终端RobustRIO目录下新建VI，并保存，开始上位机VI程序（Host.vi）编写：



新建和保存好之后可以看到前面板框图：

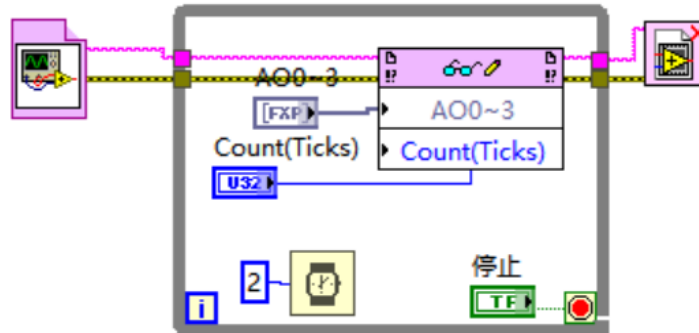


Ctrl+E 可以在前面板和程序框图间互相切换:

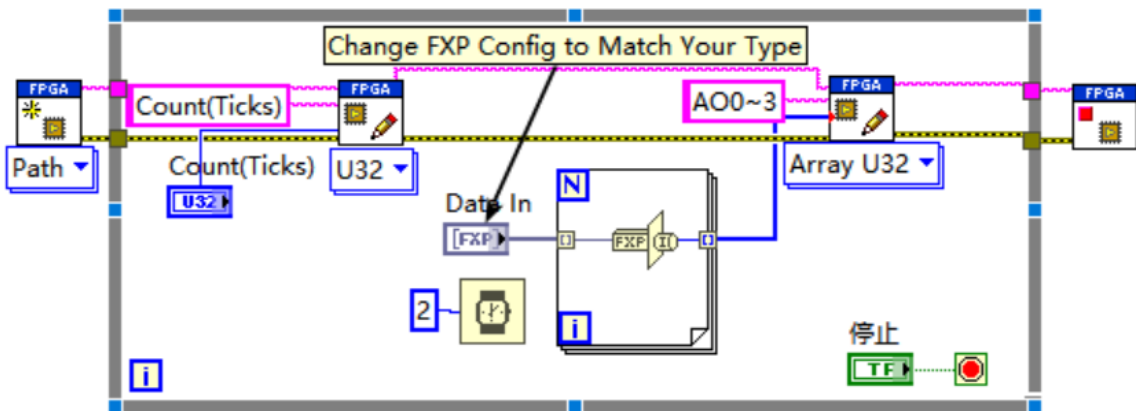


上位机程序的开发提供两种方式，整体体的程序框图如下，详细的开发流程参见[RobustR10用户指南](#)中的上位机程序开发章节。

方法A程序框图总貌：

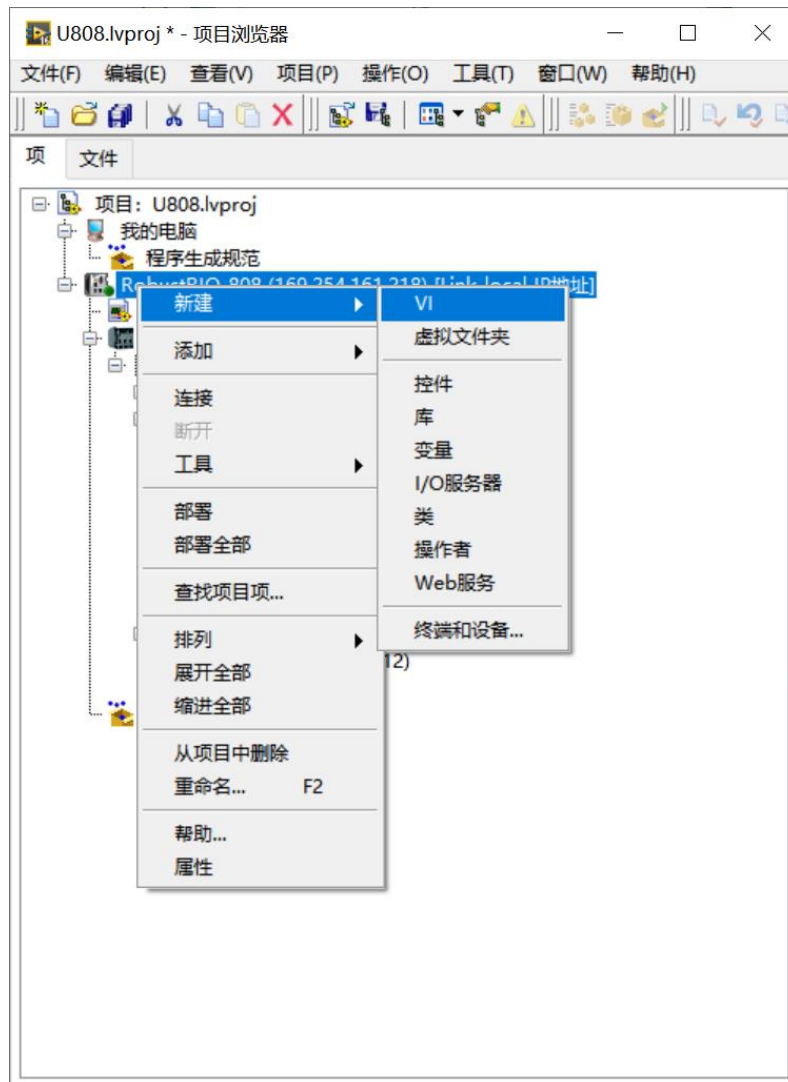


方法B程序框图总貌：

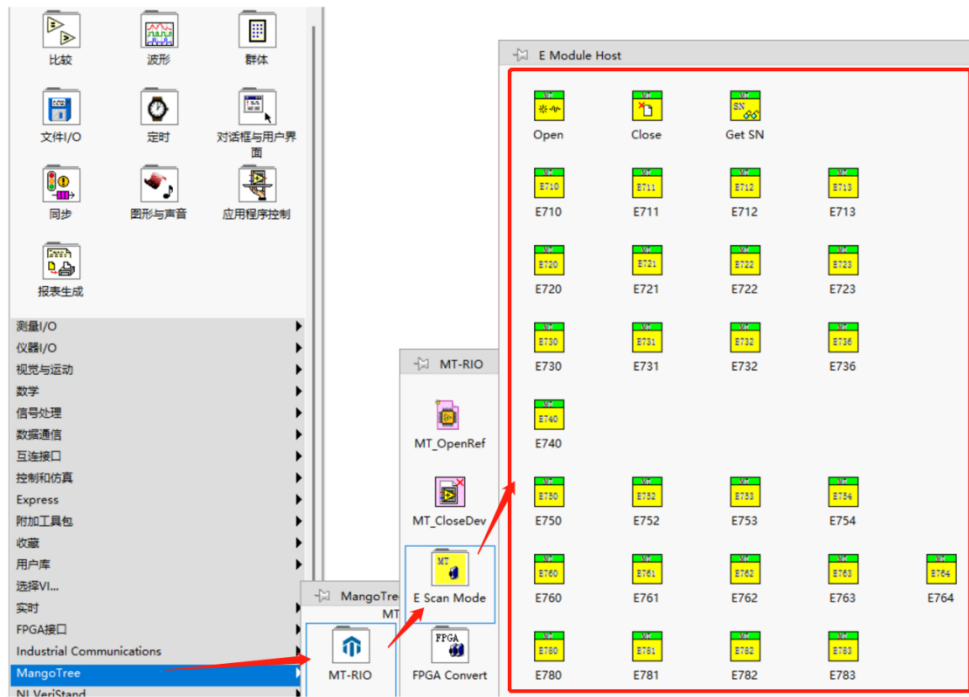


2. 使用SCAN模式开发

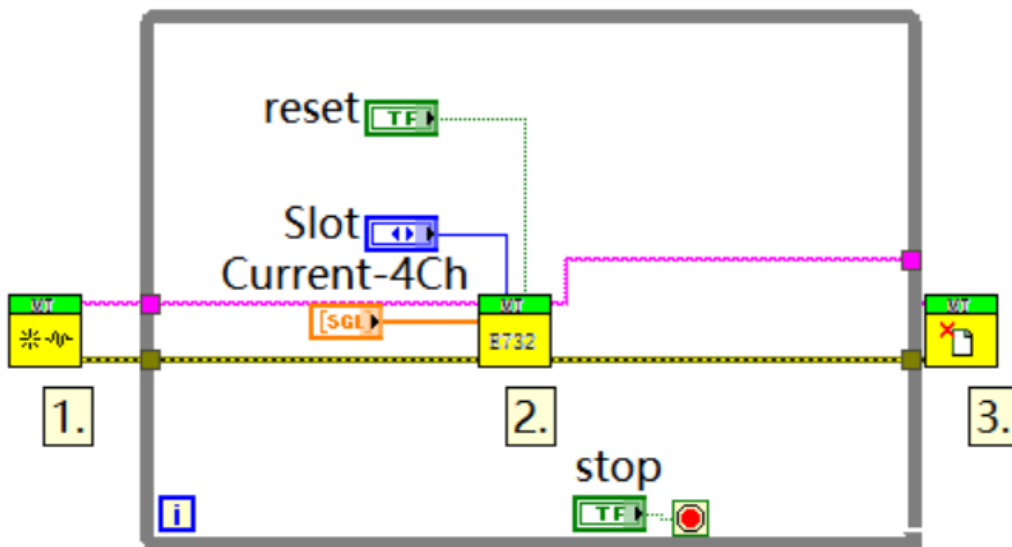
在RT终端下新建VI并保存：



在程序框图面板空白处右击，选择如下图所示的函数选板：



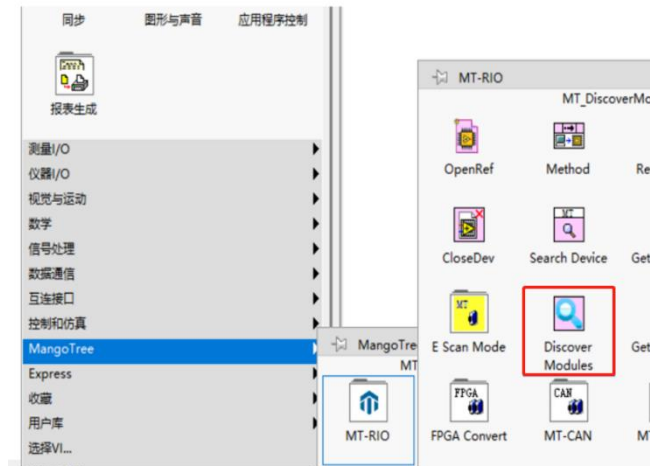
然后开始Scan Mode程序开发，全部程序框图如下图所示：



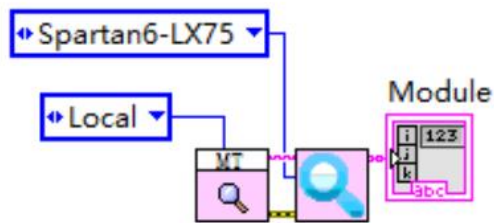
程序说明（按程序中所标数字依次说明）

1. E Scan Mode选板下的open函数。
2. E Scan Mode选板下的E732模块卡函数。

这里蓝色的Slot控件是E732函数选择槽位的接口，这里我的E732插在第一槽位，所以下拉选项选择了S1。通过MT选板下的Discover Modules函数，可以浏览所有槽位卡的信息



具体步骤是：在RT终端路径下新建一个VI并保存，然后将Discover Modules函数放置，然后点击左上角运行按钮，就可以在前面板得到所有插槽的板卡型号信息，如下图：



转到前面板，可以看到机箱上所插板卡情况



3. E Scan Mode选板下的Close函数

写好整个程序之后，点击左上角运行按钮即可进行采集数据