

## E系列模块卡开发指南

# E741



## 目录

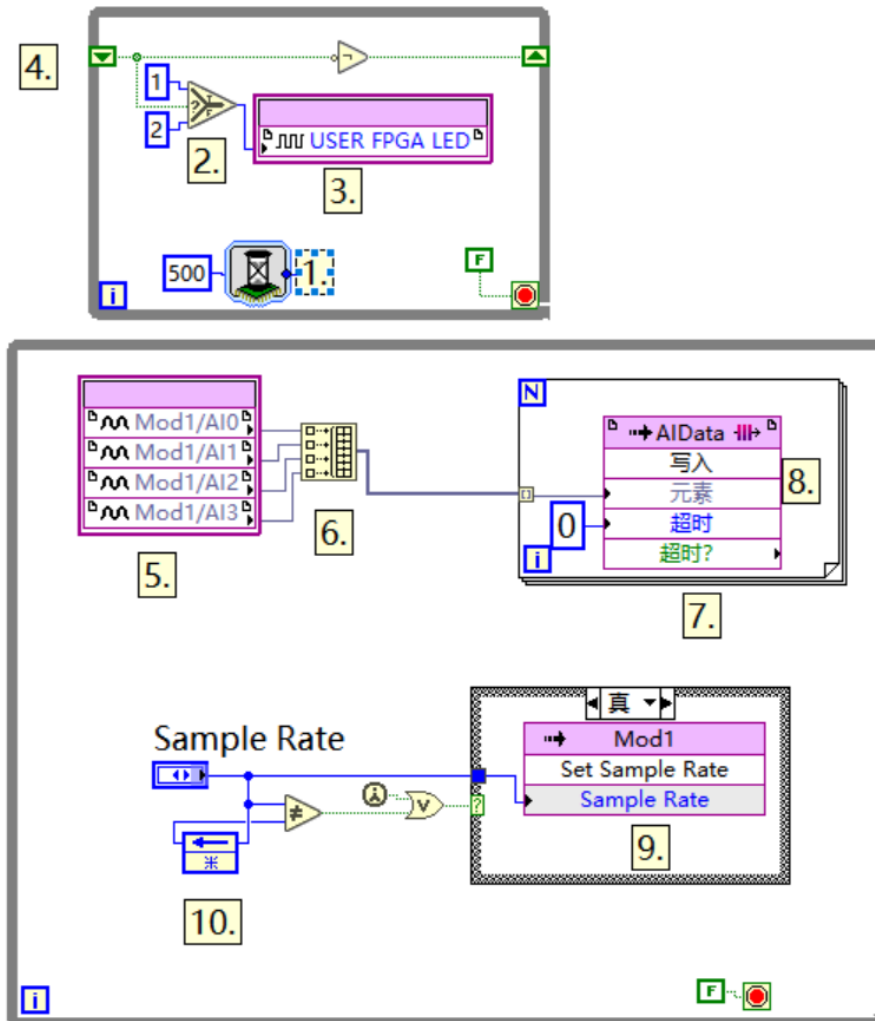
一、 概述	3
二、 FPGA 开发模式	3
三、 详细开发介绍	4

## 一、概述

本指南介绍了E741这张4通道声音振动采集卡的上手开发流程。开发环境为装Linux RT 环境的RobustR10 U808。

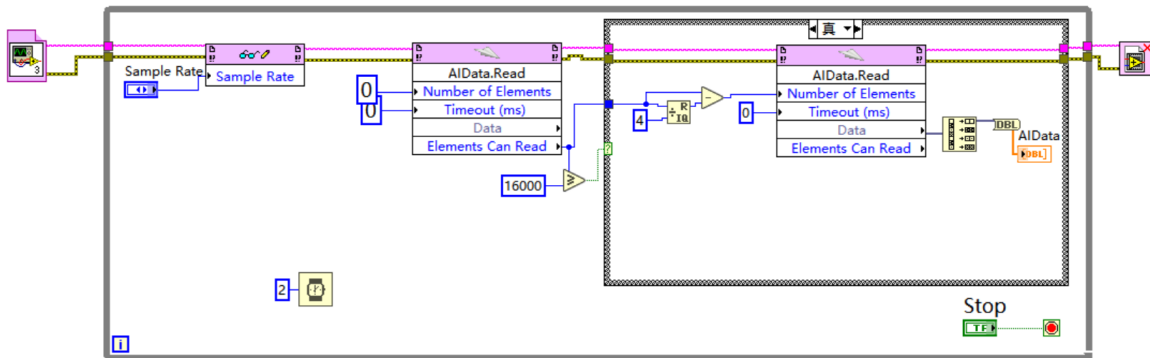
## 二、FPGA 开发模式

FPGA VI程序框图：

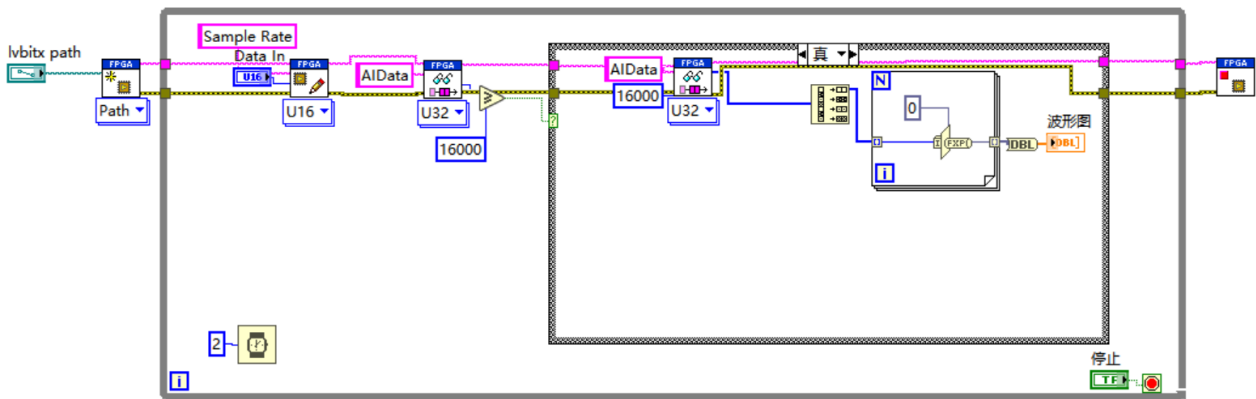


上位机VI程序框图（两种写法）：

A:

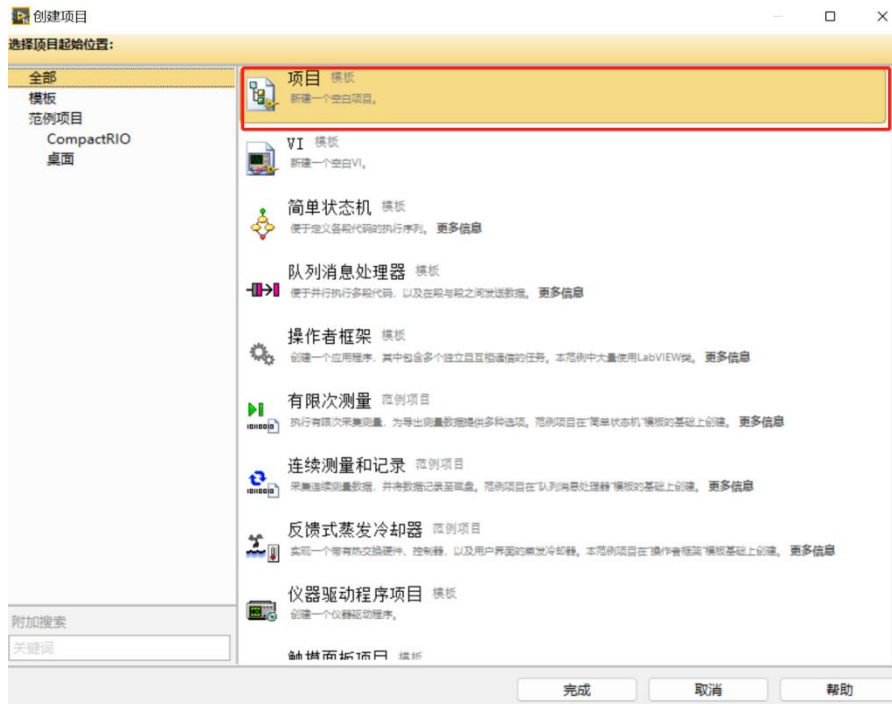


B:

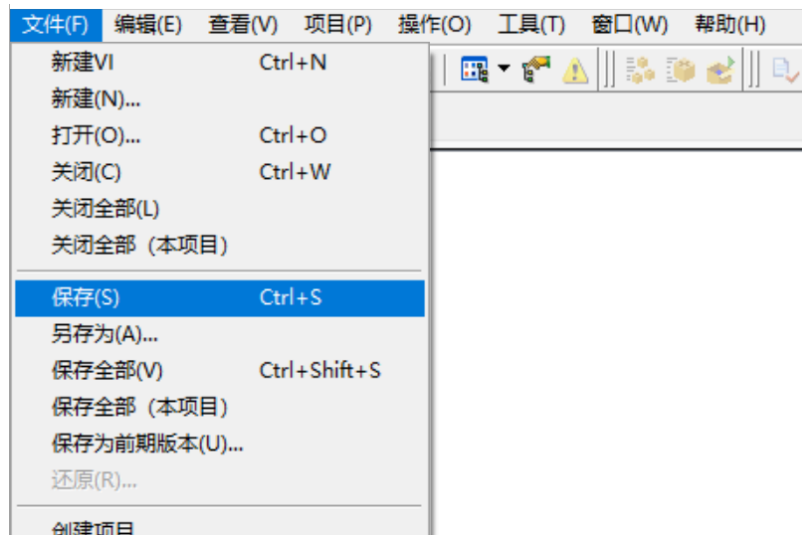


### 三、详细开发介绍

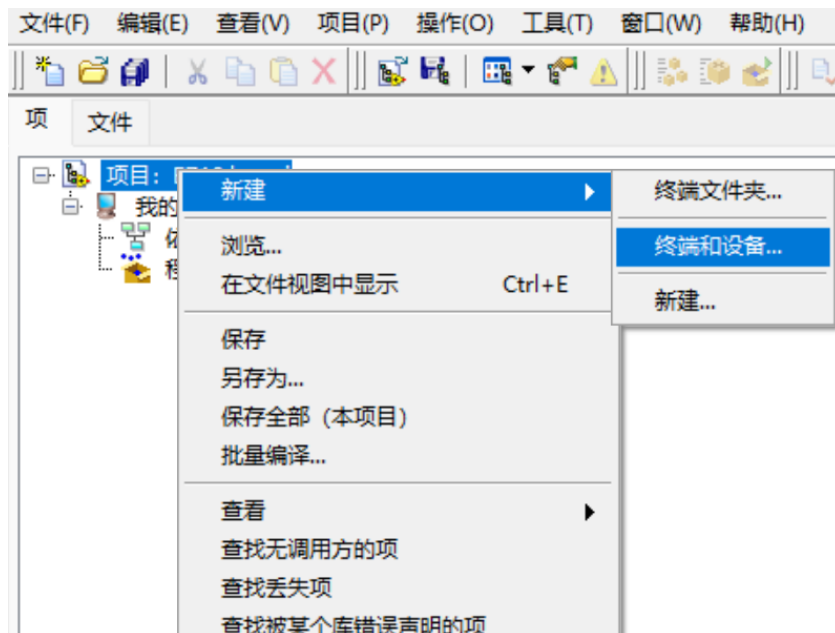
新建LabVIEW工程

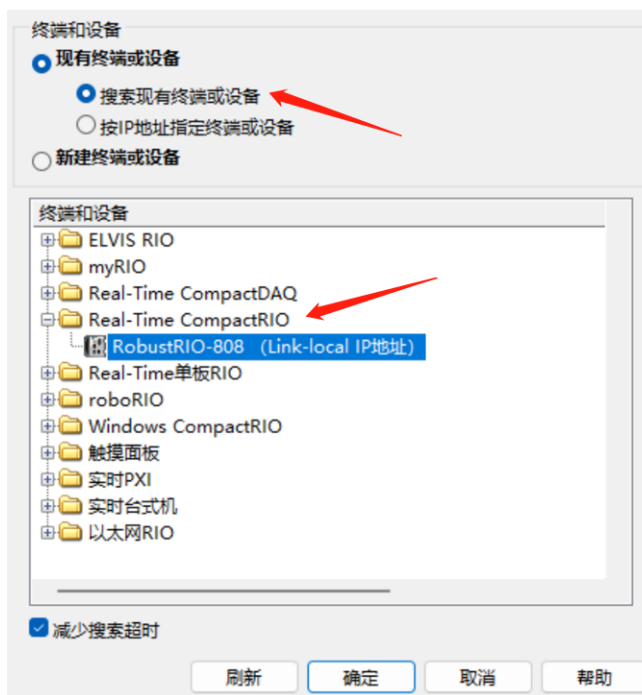


保存工程到相应文件夹下，确定工程名称

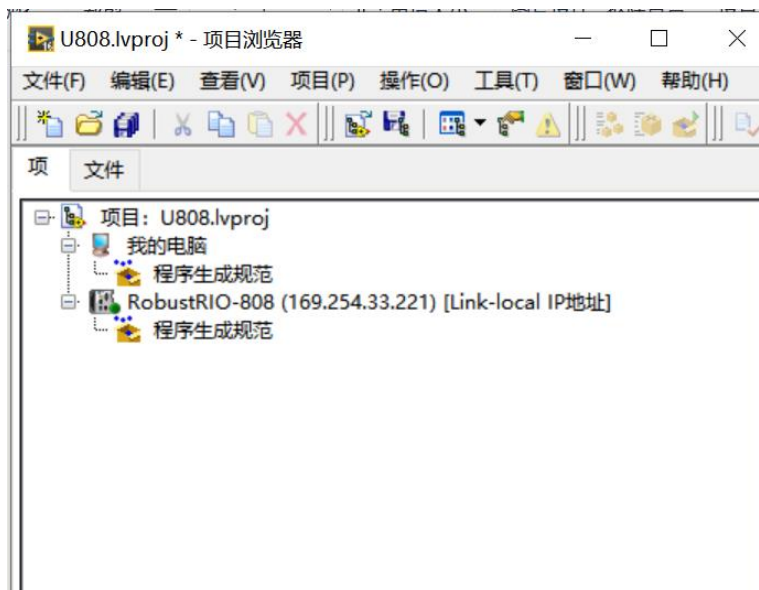


在项目下新建RT主机终端，此处以U808为例：

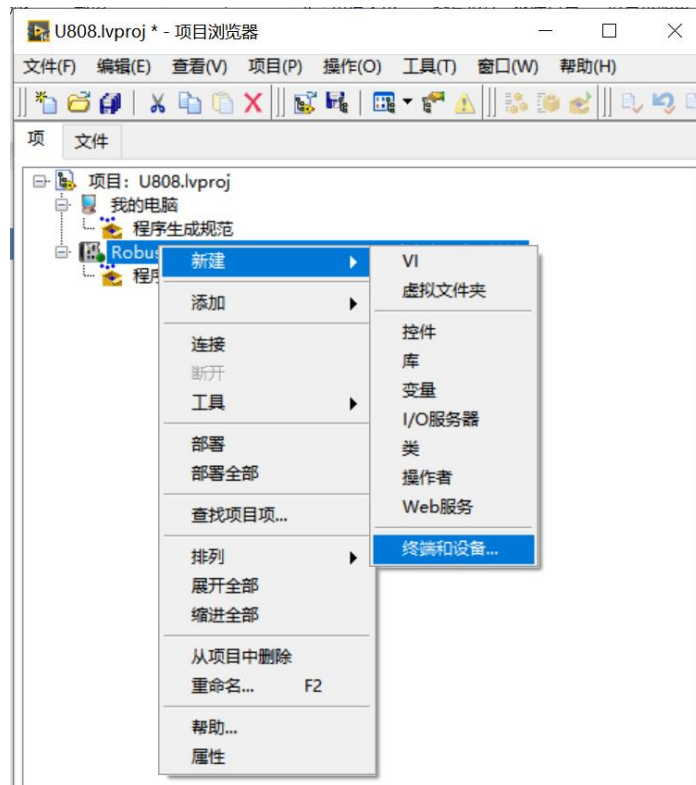




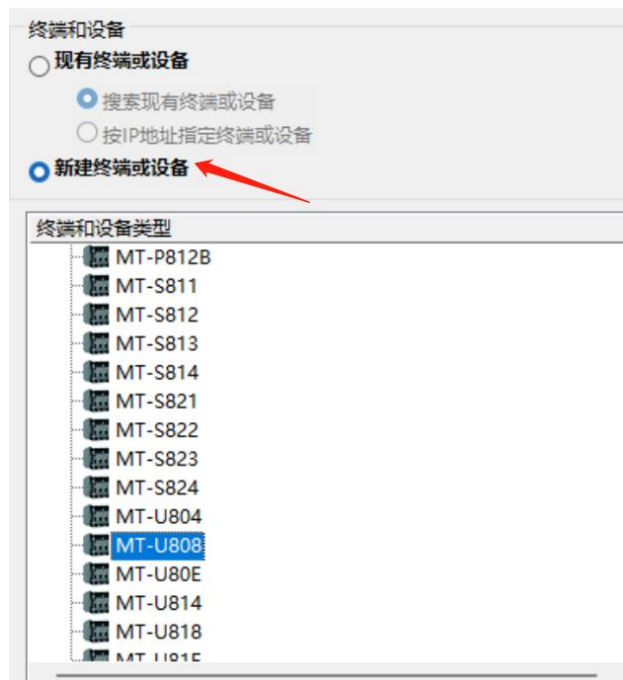
此时RobustRIO通过网线与上位机PC直连（IP地址在同一网段），所以可以直接发现设备，点击确定然后在这里可以看到刚刚新建好的RT终端。



右键RT终端选择连接，连接好之后主机图标上方的指示灯为亮绿色，然后在RT终端下新建MT-U808机箱终端：

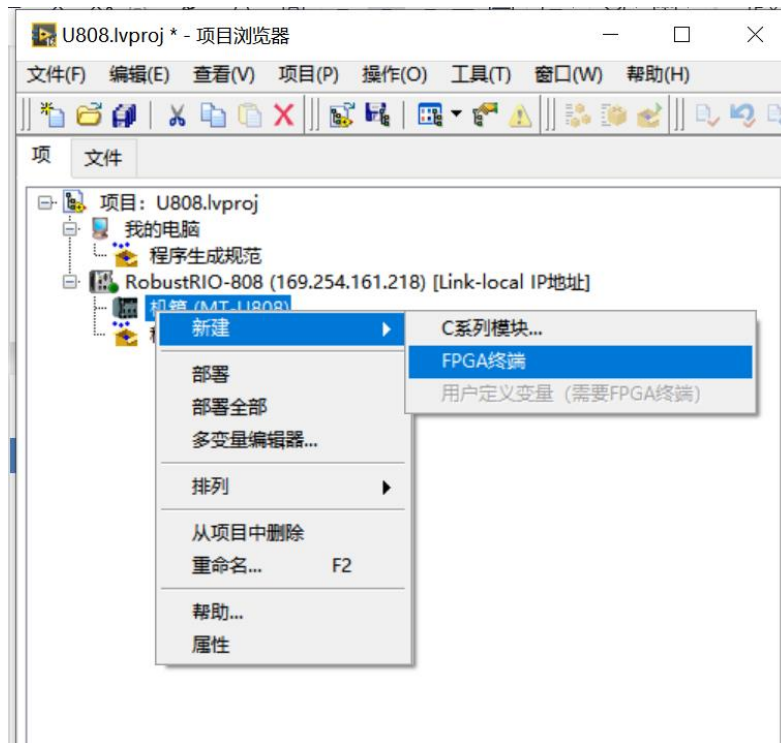


▶ 在RobustRIO-808上添加终端和设备

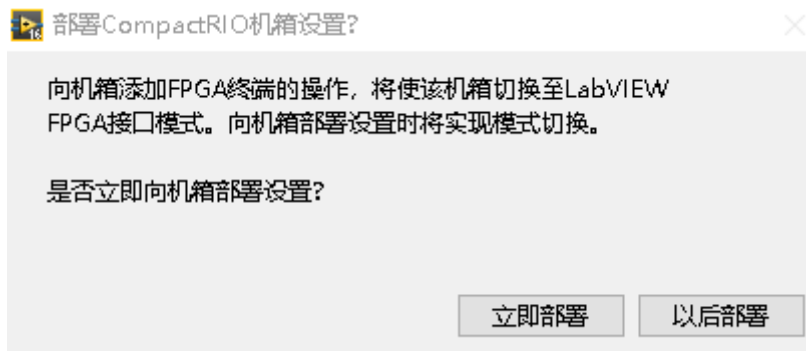


然后右键点击机箱新建FPGA终端：

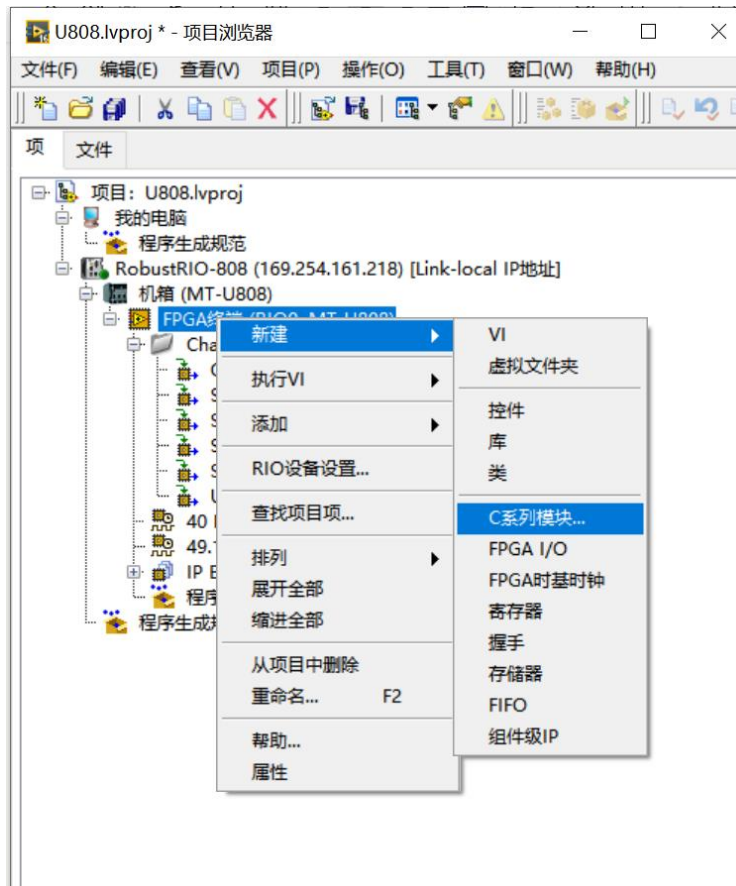
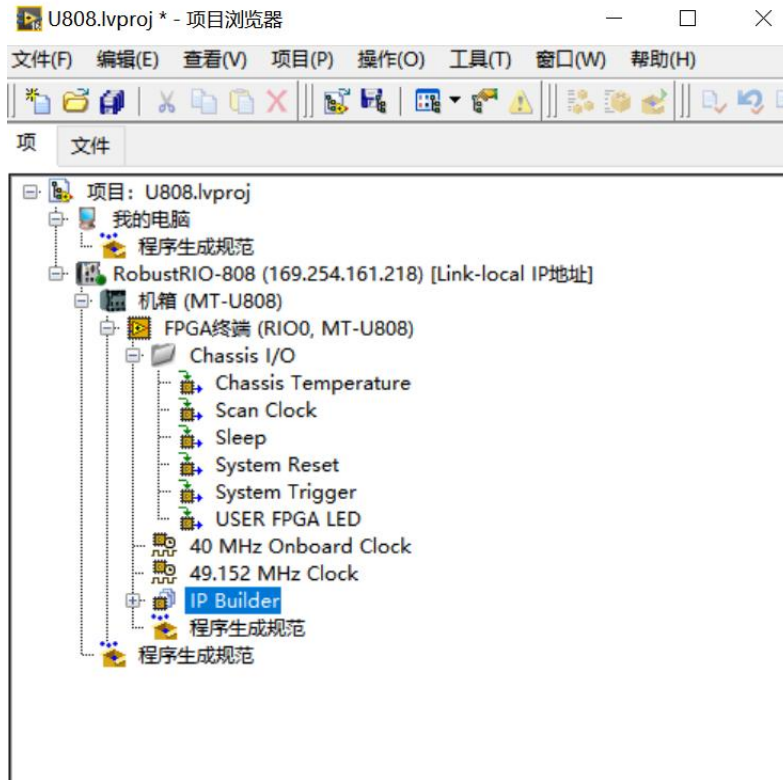


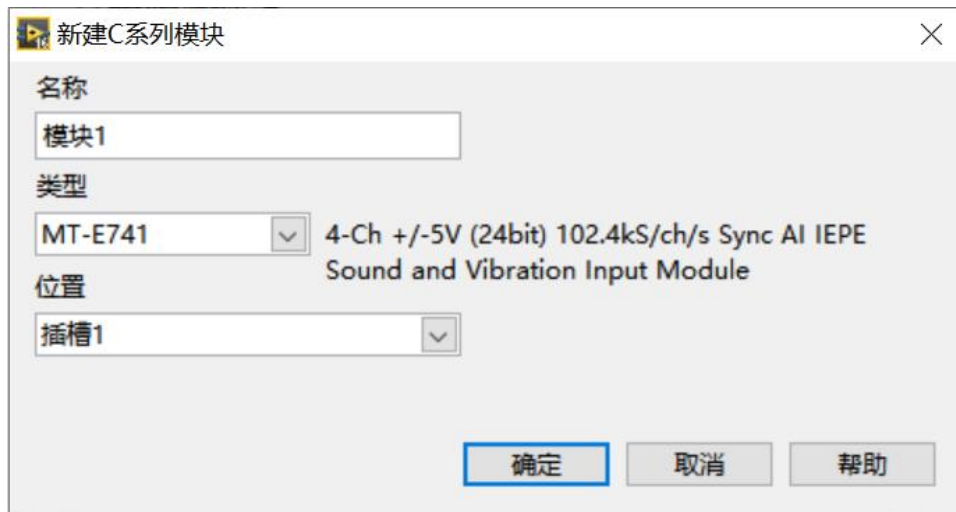
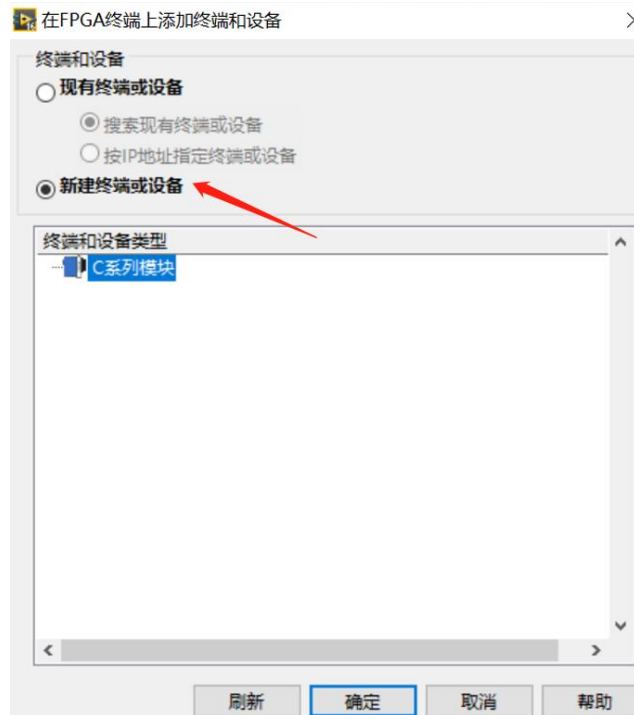


这里会跳出弹框，选择以后部署。

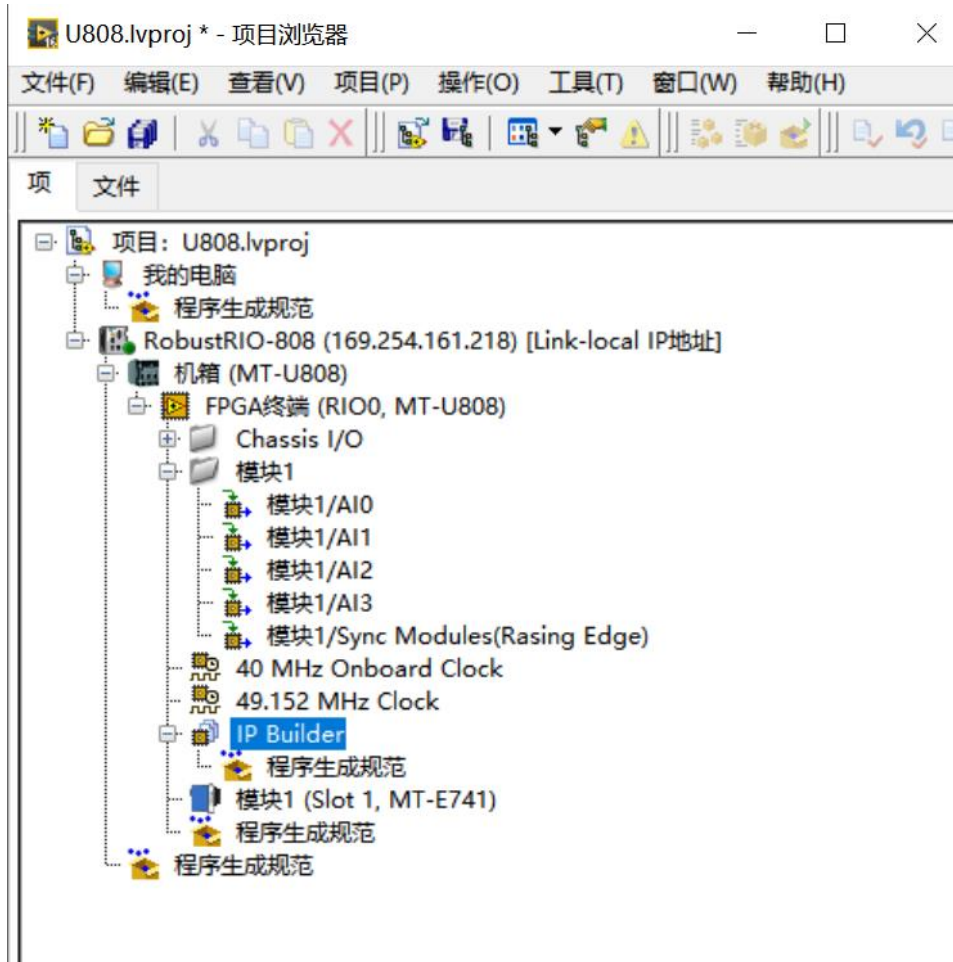


执行好上一步之后在项目浏览器下可以看到刚建好的FPGA终端，然后右键点击FPGA终端新建E741模块卡，选择相应的槽位（与物理上卡所在槽位一致），然后可在终端下发现相应模块

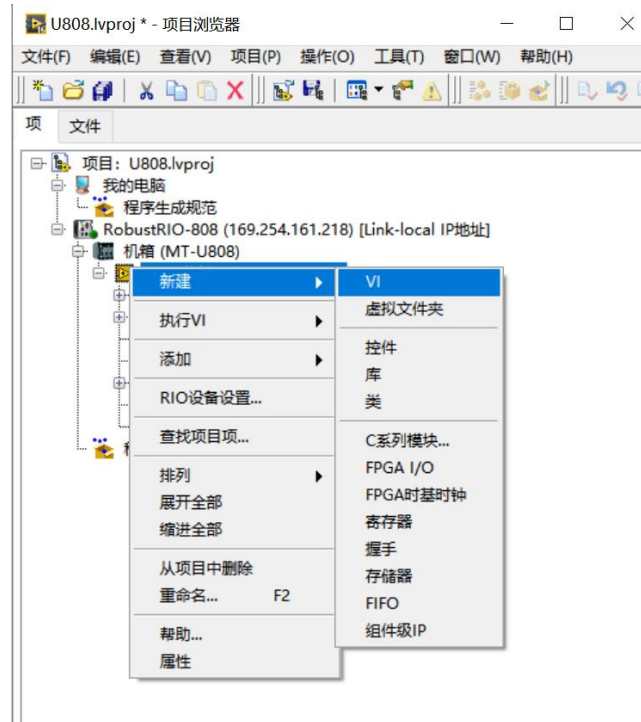




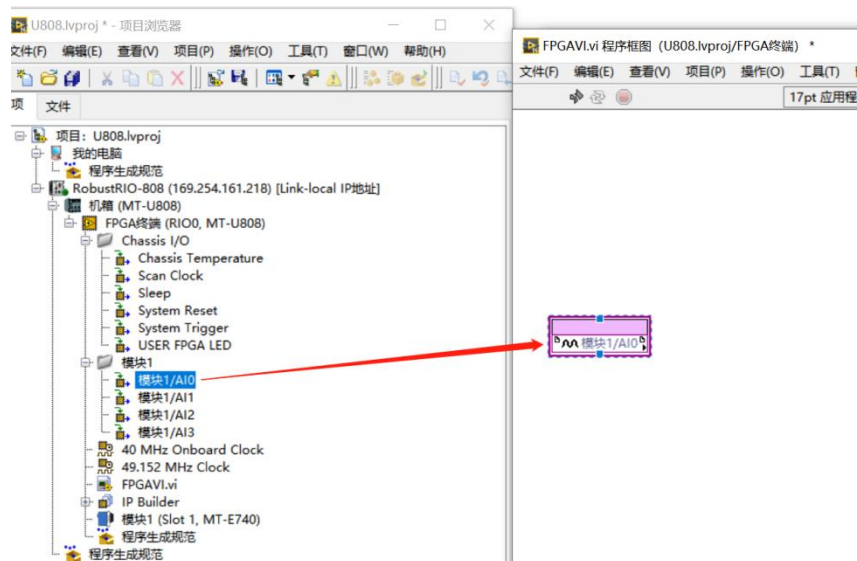
新建好之后在项目浏览器中会出现E741的模块信息，如下图：



在FPGA终端下新建VI，并保存在项目文件夹下：



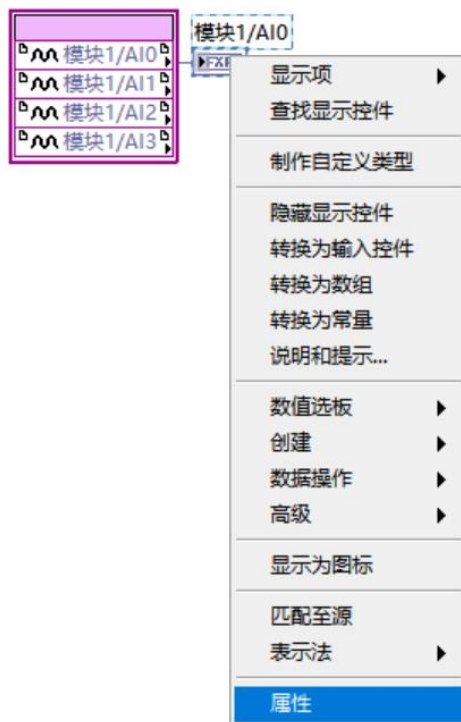
在后面的编程中，我们可以将模块的AI接口拖到FPGA VI程序框图中，用于采集数据，如下图：



然后下拉模块图标下方的蓝色点，得到全部4个AI通道的数据接口，如下图：

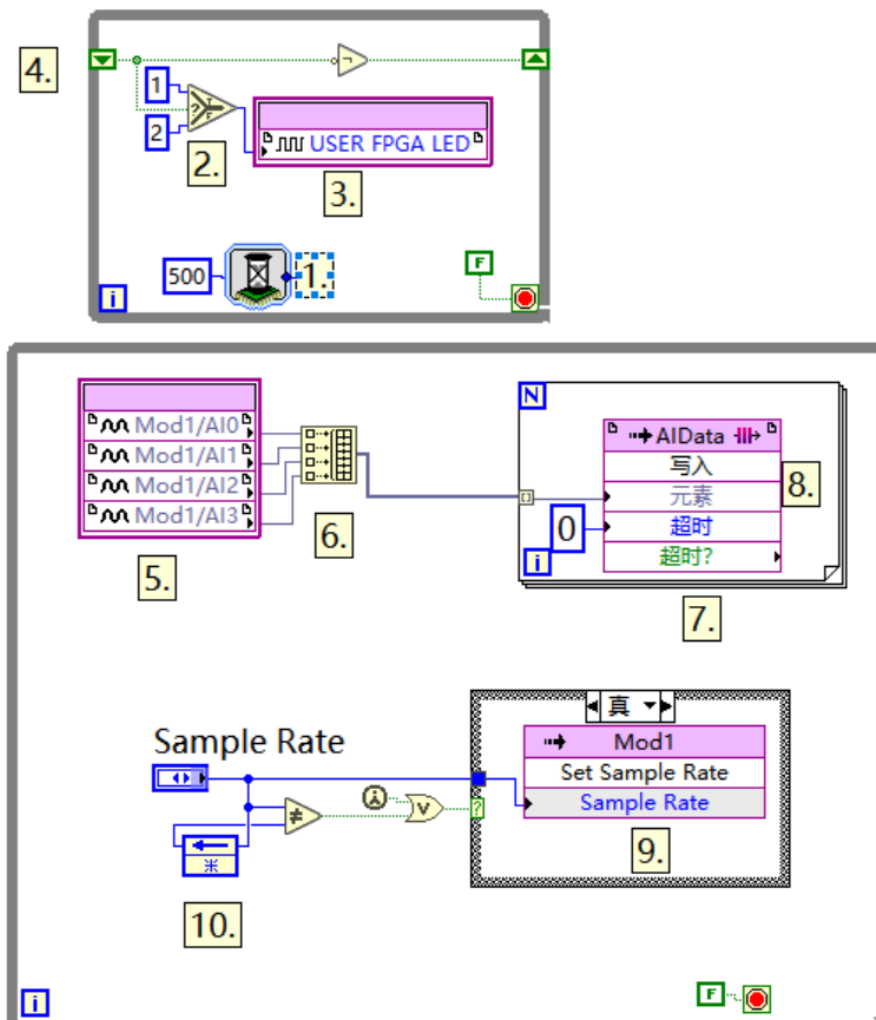


在这里可以右键点击AI输出接口新建显示控件，然后右键查看采集数据的数据类型，这里可以看到E741默认输出的数据类型为FXP类型，并且20位字长，其中5位是整数：



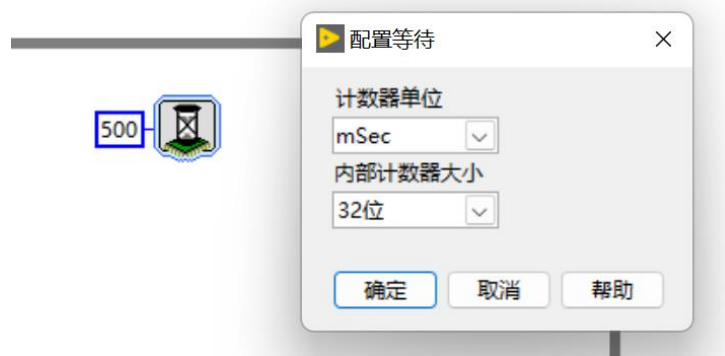


编写FPGA程序，E741 FPGA VI程序框图总览：



程序说明（按程序中所标数字依次说明）：

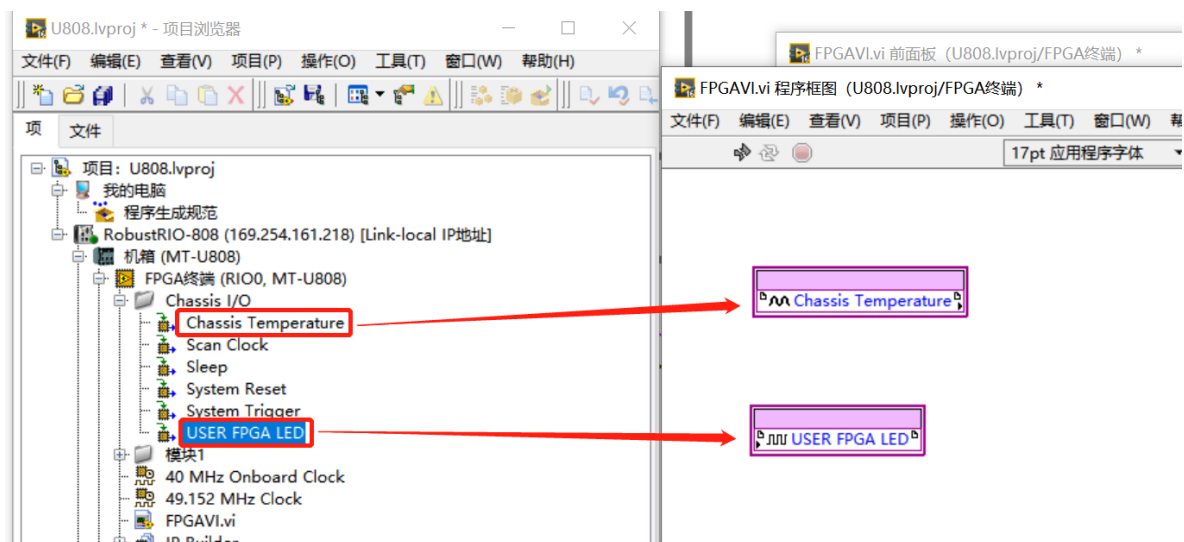
1. 选版下的延时函数，此处用于控制用户灯的闪烁，闪烁间隔500ms，设置方式如下。



2. 右键‘比较’选板下的‘选择’函数，此处写法用于控制灯闪烁。

3. 用户灯节点

用户灯节点在项目浏览器下方Chassis I/O目录下(如下图)，在这里同样可以看到常用的温度节点，可以直接将其拖入程序框图中使用，温度节点度数是真实度数的4倍关系，通过除以4运算可得到可用的板载温度数据。用户灯可以呈现两种颜色，分别为：1（颜色1），2（颜色2）



4. 移位寄存器，右键While循环添加

5. 采集卡模块AI接口

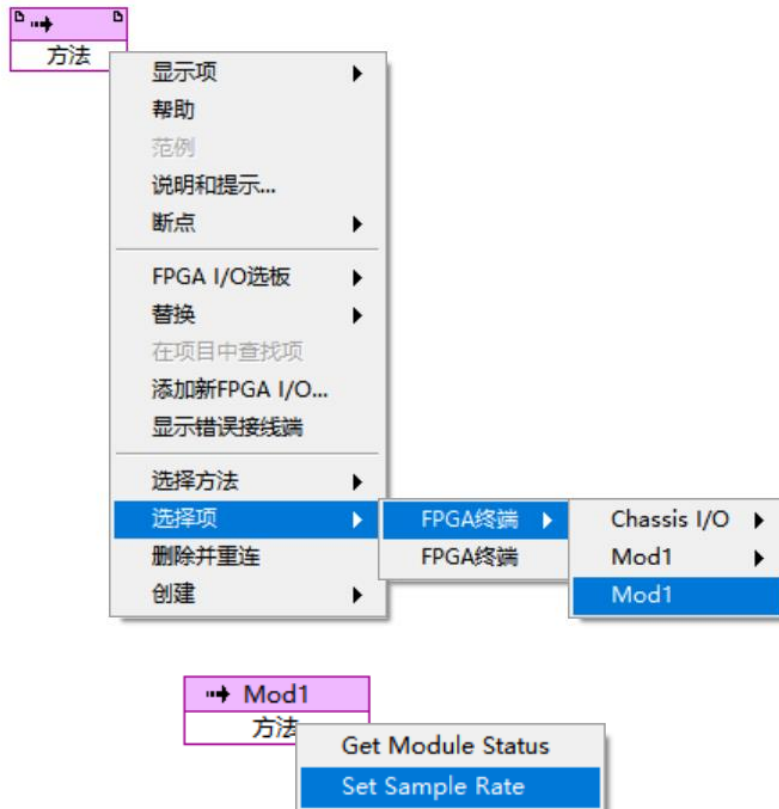
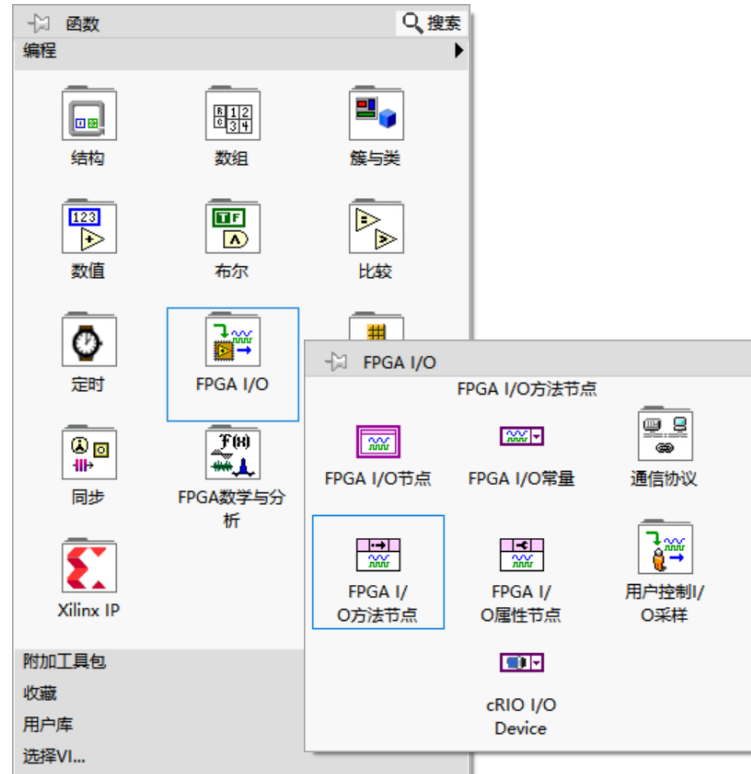
6. 创建数组

7. FIFO节点

8. For循环

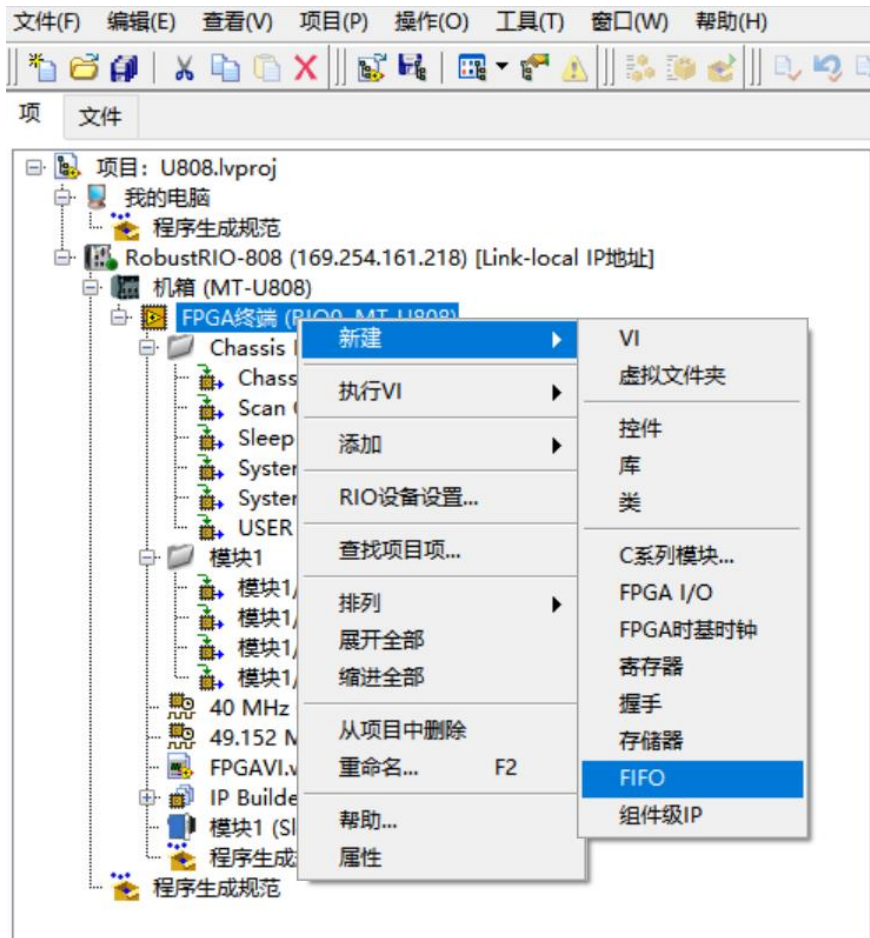
9. FPGA I/O方法节点，位置如下图所示，右键选择对应项，再左键选择对应方法



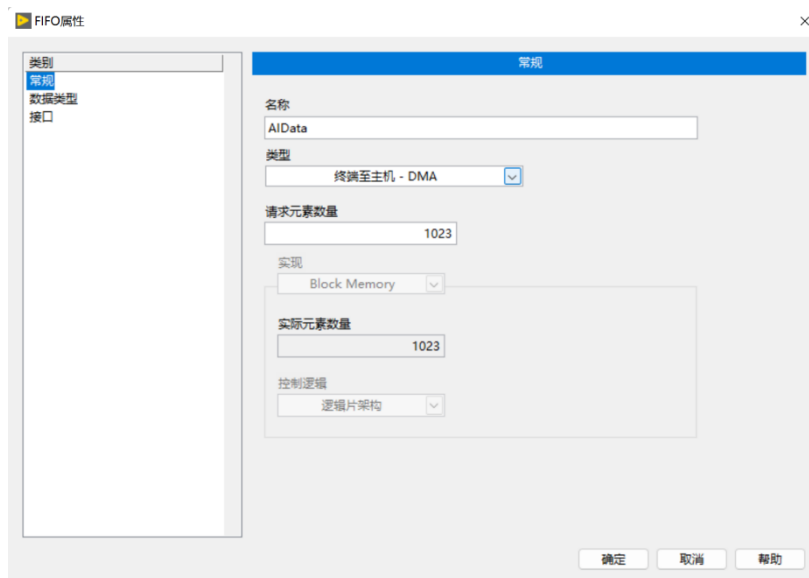


### 10. 反馈节点

另外，下面的While循环是实现数据采集并通过DMA FIFO的方式上传，新建DMA FIFO的方式：  
右键FPGA终端新建FIFO，然后命名此FIFO（此处我将FIFO命名为AIData）



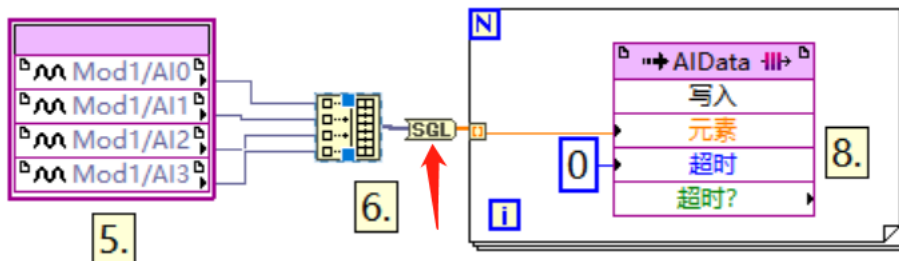
将类型改为终端至主机（因为E741为采集卡，数据由下位机传向上位机）



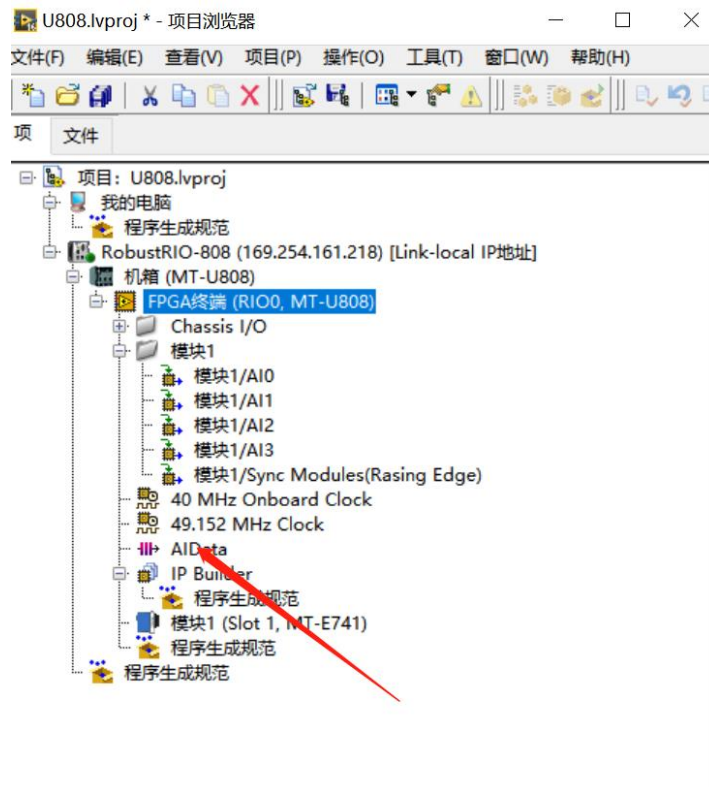
并配置FIFO数据类型为上面查看到的板卡接口数据类型



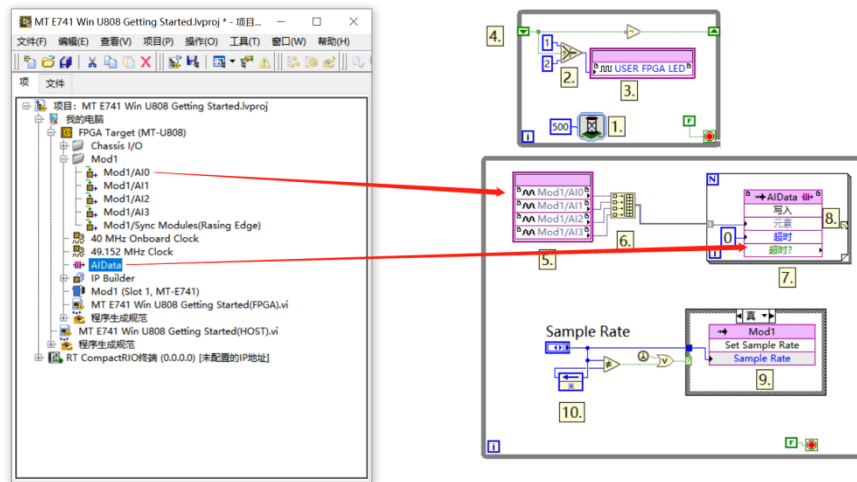
或者通过‘数值’选板下的数据类型转化函数将采集卡输出的数据改为任意您需要的数据类型，如下图所示，不过需要注意，在FPGA VI和上位机VI之间的数据交互中，要保证数据类型的一致，否则会发生强制数据类型转换，消耗FPGA资源且影响传输速率



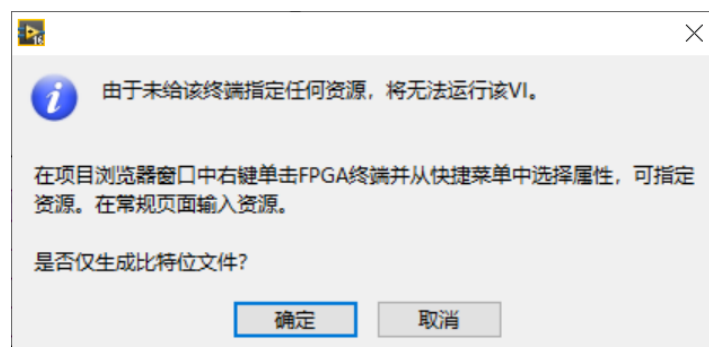
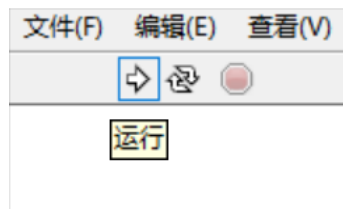
建好之后在项目浏览器中能看到刚刚新建好的FIFO:

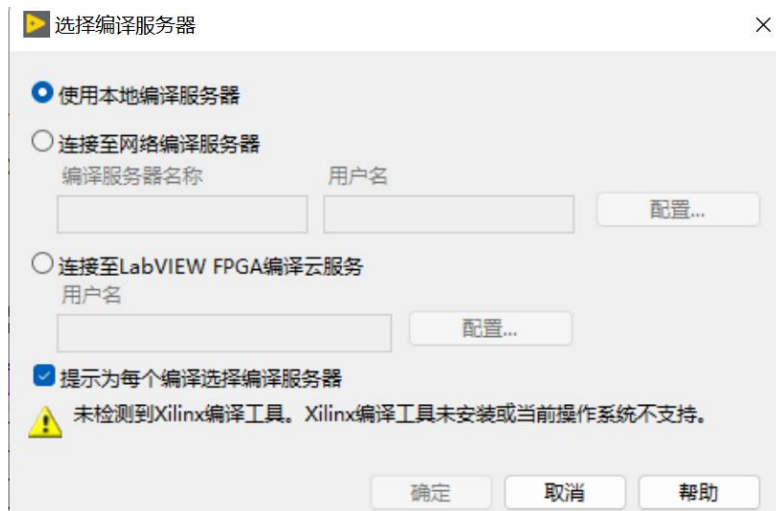


然后将采集模块接口和FIFO接口由左侧的项目目录中拖入程序框图，如下图所示：



FPGA VI程序写好之后点击左上角运行按钮，点击确认，选择编译器对FPGA程序进行编译，这里需要安装编译器才能编译（**注意**：目前配套使用的ISE14.7编译器在Win10，Win11系统中经常无法编译，建议在局域网中部署一台win7的电脑，安装好编译器，使用局域网中的编译器进行编译。另外，平均每次编译时长一般在10到40分钟左右，请耐心等待）





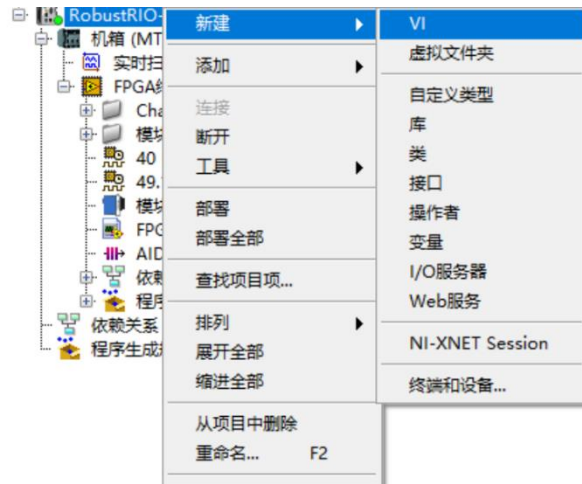
编译好之后，在项目文件夹下会发现刚刚生成好的放置比特文件的文件夹：（编译好之后产生的错误1003弹窗不必在意，由于FPGA程序无法直接运行导致，请忽略）

名称	修改日期	类型	大小
FPGA Bitfiles	2022/6/7 14:30	文件夹	
FPGAVI	2021/12/24 12:04	LabVIEW Instrument	109 KB
U808.aliases	2022/6/8 15:29	ALIASES 文件	1 KB
U808.lvps	2022/5/5 10:53	LVLPS 文件	1 KB
U808	2022/5/5 10:53	LabVIEW Project	212 KB

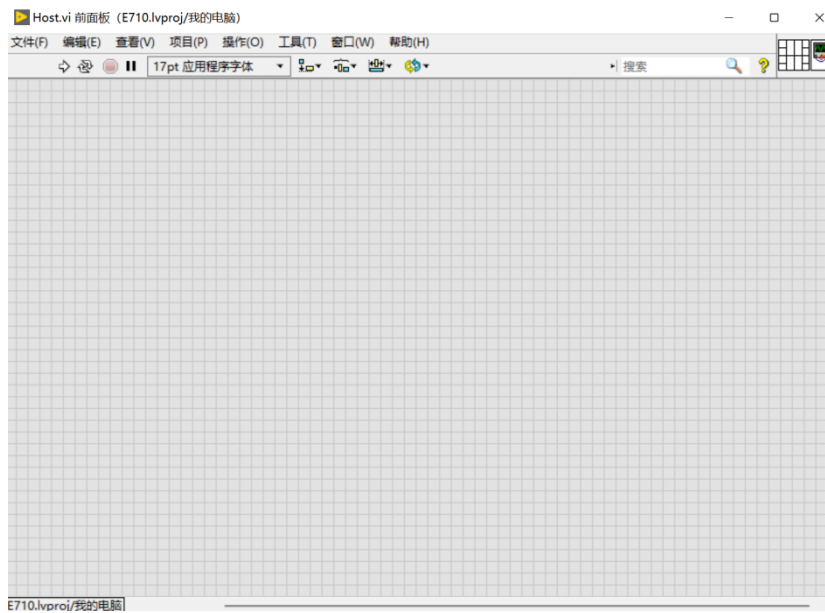
打开文件夹，看到类型为LVBITX的比特文件：

名称	修改日期	类型	大小
U808_FPGATarget_FPGAVI_CEI8abDR7Lo.lv...	2021/12/21 14:10	LVBITX 文件	3,251 KB

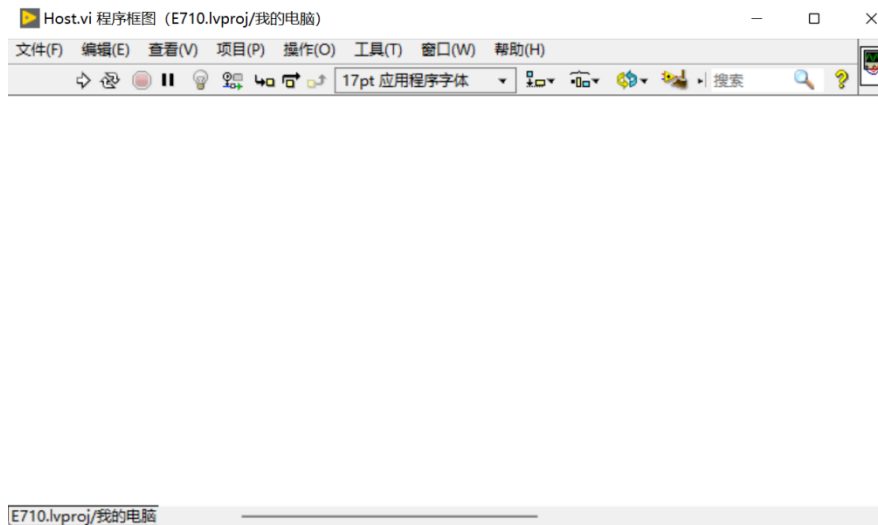
上位机程序开发，在RT终端RobustRIO目录下新建VI，并保存，开始上位机VI程序（Host.vi）编写：



新建和保存好之后可以看到网格状的前面板框图：

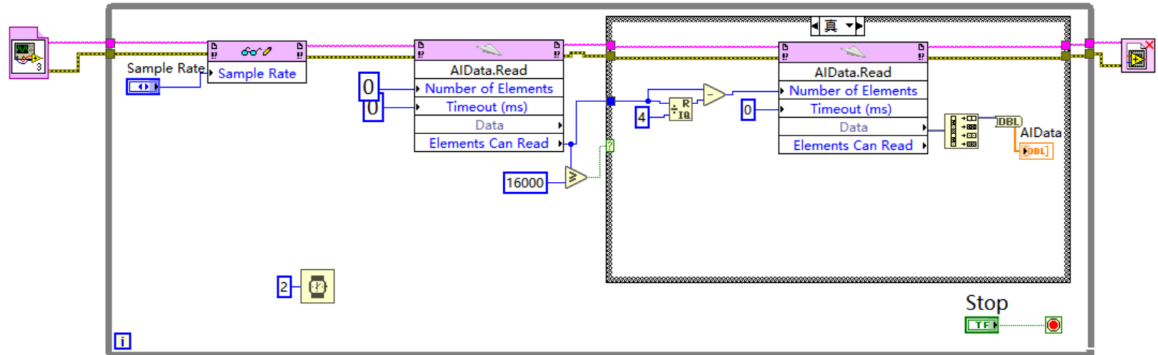


Ctrl+E 可以在前面板和程序框图间互相切换：



上位机程序的开发提供两种方式，整体的程序框图如下，详细的开发流程参见RobustR10用户指南中的上位机程序开发章节。

方法A程序框图总貌：



方法B程序框图总貌：

